

PCB的EMC设计指南		
	版本：V2.0	密级：机密
		页码：第 1 页 共66页

PCB的EMC设计指南

PCB的EMC设计指南		
	版本：V2.0	密级：机密
		页码：第 2 页 共66页

修订信息表

版本	修订人	修订时间	修订内容

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 3 页 共66页	

目 录

前言	5
目的	7
范围	7
引用/参考标准或资料	7
名词解释	7
指南简介	7
指南内容	7
第一部分 层的设置	8
1.1 弱信号单板的合理层数	8
1.2 电源层、地层、信号层的相对位置	8
1.3 强信号单板的合理层数	13
第二部分 布线	14
2.1 布线基本规则	14
2.2 串扰	22
2.3 优选布线层	24
2.4 阻抗控制	25
2.5 跨分割区及开槽的处理	26
第三部分 地回路设计	32
3.1 地的分割与汇接	32
3.2 接地的含义	32
3.3 接地的目的	32
3.4 基本的接地方式	32
3.5 地线回路导致的电磁干扰	33
3.6 接地和信号回路（涡流除外）	34
3.7 浮地	34
3.8 关于接地方式的一般选取原则	34
3.9 单板接地方式	34
第四部分 典型电路的PCB设计	36
4.1 概述	36
4.2 功率主电路的PCB EMC布局原则	36
4.3 PFC电路的布局	41
4.4 单端正激电路	42
4.5 单端反激电路	47
4.6 非隔离电路（正激）	48
4.7 双正激电路	48
4.8 全桥电路	51
4.9 半桥逆变电路	53
第五部分 电源EMI滤波器的PCB设计	56
5.1 概述	56
5.2 EMI滤波器的基本结构	56
5.3 布局考虑	56
5.4 布线考虑	58
第六部分 传输线	60
6.1 概述:	60
6.2 传输线模型	60
6.3 传输线的种类	60
6.3.2带状线（Stripline）	60
6.3.3嵌入式微带线	61
6.4 传输线的反射	62

PCB的EMC设计指南		
	版本： V2.0	密级： 机密
		页码： 第 4 页 共66页

6.5 微带线与带状线的比较64

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 5 页 共66页	

前言

近几年，EMC 问题在我们的产品开发过程中越来越突出，为了保证产品高可靠性、较短的开发周期、有竞争力的价格，我们必需在产品开发前期就把 EMC 问题解决好。而通过解决单板上的 EMC 问题更是解决整个产品 EMC 问题的最好途径。

电磁兼容性(EMC-Electromagnetic Compatibility)，根据国家军用标准 GJB72-85《电磁干扰和电磁兼容性名词术语》第 5.10 条，定义为：“设备(分系统、系统)在共同的电磁环境中能一起执行各自功能的共存状态。即：该设备不会由于受到处于同一电磁环境中其他设备的电磁发射导致或遭受不允许的降级；它也不会使同一电磁环境中其他设备(分系统、系统)，因受其电磁发射而导致或遭受不允许的降级。”

在一个电子系统中，印制板作为硬件系统的核心部件之一，印制板设计的好坏将直接影响到整个系统的稳定性，因此，在设计之初就充分考虑到电磁兼容的问题，考虑到信号的完整性等，无疑将提高系统的稳定性，缩短开发周期，提前将稳定的系统推向市场。

在任何设计中，经验永远占有一席之地，在处理 EMC 问题上，经验与技术诀窍仍然如此，从电路设计开始就参考抑制 EMI 的技术人员汇总的经验与技术诀窍，将之成功地运用于系统设计中，将产生事半功倍的效果。然而，随着系统越来越复杂化，系统频率越来越高，已有的一些经验不一定适合现在和将来的要求，但从设计初期就开始考虑 EMC 问题、考虑信号完整性，进行可生产、可测试、可维护性设计，始终是设计时应该考虑的问题。

对于新出现的问题，目前一般采用模拟分析的方法，但是由于该方法对设计人员经验等要求相对较高，而且一些问题诸如过孔与焊接模型的建立等还存在一些问题，比较完整的系统数学模型建立也是一个长期和复杂的工程，导致仿真程序的结果也并不尽如人意。而且系统将来运行环境的模型化也有一定的困难，仿真程序也难以包含所有的情况。对我司产品而言，目前绝大部分设计还很难做到这一步。因此，经验的积累与传授仍将是一项长期的任务。

纵观国内外业界精英的做法，无一不是在产品的预研、开发阶段投入大量精力，在设计阶段开展 EMC 工作，避免可能出现的电磁兼容问题。我司在 EMC 等产品专项工程方面也开展了一系列的研究并取得一定的成绩，EMC 研究室、CAD 室、以及相关产品线均做出一些探索性的工作。

作为 EMI 的源头，器件选型、原理设计、PCB 设计已逐渐引起重视，硬件开发人员对 PCB 的 EMC 设计提出了要求。为了对 PCB 的 EMC 设计成果加以总结、推广，同时对一些未知的领域进行积极的探索，在 EMC 室和 CAD 室的积极参与下，由金明宇、骆昊、李瑞林、原晓霞、侯俊锋在参考了我司以前对 EMC 方面进行的总结，共同编制了《PCB 的 EMC 设计指南》。文中的有些观点、建议仅仅是现有工作经验的总结，由于 EMC 领域的诸多未知因素，加上编者的水平有限，错误、疏漏之处在所难免，还望大家不断批评、指正。

对于本文的任何不明白之处，以及任何有益建议请与 EMC 室、CAD 室联系，共同探讨 PCB 的 EMC 设计过程中的任何实际问题。

同时感谢那些为此指南作过经验积累的同事及前同事胡寿林、谢敏仙、操方星、钱柏年、李静、汤昌茂、胡庆虎、于小卫。

本规范由艾默生网络能源有限公司研发部发布实施，适用于 ENPC 的 PCB 设计。

本规范由 各产品开发部、电子工艺部 等部门参照执行。

PCB的EMC设计指南		
	版本：V2.0	密级：机密
		页码：第 6 页 共66页

本规范拟制部门：电子工艺部

本规范拟制人：骆昊

本规范会签人：金明宇、陈岚、刘志杰、葛雪涛、赵景清、梁翠芳

本规范批准人：季明明

本规范发布人：研发业务管理办

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 7 页 共66页	

目的

本指导书旨在指导公司 PCB 的 EMC 设计，将电路 EMC 设计要求在 PCB 中得以实现。

本书旨在对我司 PCB 的 EMC 设计现有成果加以总结、推广，结合我司 PCB 设计过程中的经验教训以及产品的 EMC 测试数据，谨供各位硬件工程师进行 PCB 的 EMC 设计时参考。本指导书会不断升级，请使用最新版本。

范围

本指导书适用我司所有正式产品的 PCB EMC 设计。

引用/参考标准或资料

略

名词解释

EMC: Electromagnetic Compatibility, 电磁兼容

EMI: Electromagnetic Interference, 电磁干扰

弱信号: 在本文中电压小于等于 Rms 15V 以下，同时电流小于等于 100mA 以下的信号。

强信号: 在本文中电压大于 Rms 48V 以上，同时电流大于 2A 以上的信号。

指南简介

为了正确进行单板的EMC设计，特制定本指南。

指南内容

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 8 页 共66页	

第一部分 层的设置

1 层的设置

在 PCB 的 EMC 设计考虑中，首先涉及的便是层的设置；单板的层数由电源、地的层数和信号层数组成；电源层、地层、信号层的相对位置以及电源、地平面的分割对单板的 EMC 指标至关重要。

1.1 弱信号单板的合理层数

根据单板的电源、地的种类、信号密度、板级工作频率、有特殊布线要求的信号数量，以及综合单板的性能指标要求与成本承受能力，确定单板的层数；对于 EMC 指标要求苛刻（如：产品需认证 CISPR22 CLASS B）而相对成本能承受的情况下，适当增加地平面乃是 PCB 的 EMC 设计的杀手锏之一。

1.1.1 Vcc、GND 的层数

单板电源的层数由其种类数量决定；对于单一电源供电的 PCB，一个电源平面足够了；对于多种电源，若互不交错，可考虑采取电源层分割（保证相邻层的关键信号布线不跨分割区）；对于电源互相交错（尤其是象 8260 等 IC，多种电源供电，且互相交错）的单板，则必须考虑采用 2 个或以上的电源平面，每个电源平面的设置需满足以下条件：

单一电源或多种互不交错的电源；

相邻层的关键信号不跨分割区；

地的层数除满足电源平面的要求外，还要考虑：

元件面下面（第 2 层或倒数第 2 层）有相对完整的地平面；

高频、高速、时钟等关键信号有一相邻地平面；

关键电源有一对应地平面相邻（如 5V 与 GND 相邻）。

1.1.2 信号层数

在 CAD 室现行工具软件中，在网表调入完毕后，EDA 软件能提供一布局、布线密度参数报告，由此参数可对信号所需的层数有个大致的判断；经验丰富的 CAD 工程师，能根据以上参数再结合板级工作频率、有特殊布线要求的信号数量以及单板的性能指标要求与成本承受能力，最后确定单板的信号层数。

信号的层数主要取决于功能实现，从 EMC 的角度，需要考虑关键信号网络（强辐射网络以及易受干扰的小、弱信号）的屏蔽或隔离措施。

1.2 电源层、地层、信号层的相对位置

1.2.1 Vcc、GND 平面的阻抗以及电源、地之间的 EMC 环境问题

电源、地平面存在自身的特性阻抗，电源平面的阻抗比地平面阻抗高；

为降低电源平面的阻抗，尽量将 PCB 的主电源平面与其对应的地平面相邻排布并且尽量靠近，利用

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 9 页 共66页	

两者的耦合电容，降低电源平面的阻抗；

电源地平面构成的平面电容与 PCB 上的退耦电容一起构成频响曲线比较复杂的电源地电容，它的有效退耦频带比较宽，（但存在谐振问题）。

1.2.2 Vcc、GND 作为参考平面，两者的作用与区别

电源、地平面均能用作参考平面，且有一定的屏蔽作用；但相对而言，电源平面具有较高的特性阻抗，与参考电平存在较大的电位势差；从屏蔽的角度，地平面一般均作了接地处理，并作为基准电平参考点，其屏蔽效果远远优于电源平面；

在选择参考平面时，应优选地平面。

1.2.3 电源层、地层、信号层的相对位置

对于电源、地的层数以及信号层数确定后，它们之间的相对排布位置是每一个 EMC 工程师都不能回避的话题；

单板层的排布一般原则：

元件面下面（第二层）为地平面，提供器件屏蔽层以及为顶层布线提供参考平面；

所有信号层尽可能与地平面相邻；

尽量避免两信号层直接相邻；

主电源尽可能与其对应地相邻；

兼顾层压结构对称。

注：具体 PCB 的层的设置时，要对以上原则进行灵活掌握，在领会以上原则的基础上，根据实际单板的需求，如：是否需要一关键布线层、电源、地平面的分割情况等，确定层的排布：

四层板，优选方案 1，可用方案 3

方案	电源层数	地层数	信号层数	1	2	3	4
1	1	1	2	S	G	P	S
2	1	1	2	G	S	S	P
3	1	1	2	S	P	G	S

表- 1 四层板解决方案表

方案 1：

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 10 页 共66页	

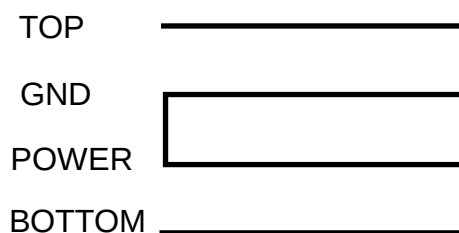


图 1 四层 PCB 的主选层设置方案

此方案为 CAD 室现行四层 PCB 的主选层设置方案，在元件面下有一地平面，关键信号优选布 TOP 层；至于层厚设置，有以下建议：

满足阻抗控制

芯板（GND 到 POWER）不宜过厚，以降低电源、地平面的分布阻抗；保证电源平面的去耦效果；推荐芯板厚 0.2mm，4 层板采用 1.0 的板厚。

为了达到一定的屏蔽效果，有人试图把电源、地平面放在 TOP、BOTTOM 层，即采用方案 2。

方案 2：

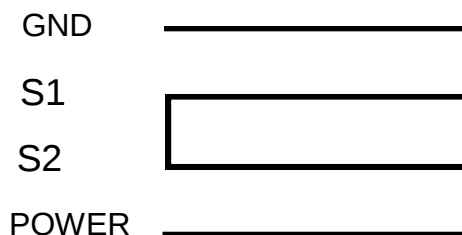


图 2 四层板解决方案 2

此方案为了达到想要的屏蔽效果，至少存在以下缺陷：

电源、地相距过远，电源平面阻抗较大

电源、地平面由于元件焊盘等影响，极不完整

由于参考面不完整，信号阻抗不连续

实际上，由于我司大量采用表贴器件，对于器件越来越密的情况下，本方案的电源、地几乎无法作为完整的参考平面，预期的屏蔽效果很难实现；

方案 3：

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 11 页 共66页	

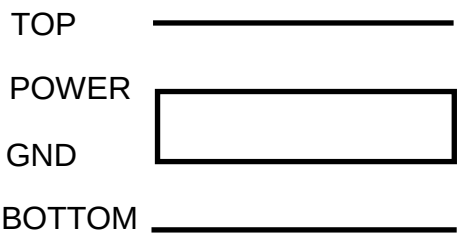


图 3 四层板解决方案 3

此方案同方案 1 类似，适用于主要器件在 BOTTOM 布局或关键信号底层布线的情况；

六层板，优选方案 3，可用方案 1，备用方案 2、4

方案	电源	地	信号	1	2	3	4	5	6
1	1	1	4	S1	G	S2	S3	P	S4
2	1	1	4	S1	S2	G	P	S3	S4
3	1	2	3	S1	G1	S2	P	G2	S3
4	1	2	3	S1	G1	S2	G2	P	S3

表- 2 六层板解决方案表

对于六层板，优先考虑方案 3，优选布线层 S2，其次 S3、S1。主电源及其对应的地布在 4、5 层，层厚设置时，增大 S2-P 之间的间距，缩小 P-G2 之间的间距（相应缩小 G1-S2 层之间的间距），以减小电源平面的阻抗，减少电源对 S2 的影响；

在成本要求较高的时候，可采用方案 1，优选布线层 S1、S2，其次 S3、S4，与方案 1 相比，方案 2 保证了电源、地平面相邻，减少电源阻抗，但 S1、S2、S3、S4 全部裸露在外，只有 S2 才有较好的参考平面；

对于局部、少量信号要求较高的场合，方案 4 比方案 3 更适合，它能提供极佳的布线层 S2。

八层板：优选方案 2、3、可用方案 1

方案	电源	地	信号	1	2	3	4	5	6	7	8
1	1	2	5	S1	G1	S2	S3	P	S4	G2	S5

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 12 页 共66页	

2	1	3	4	S1	G1	S2	G2	P	S3	G3	S4
3	2	2	4	S1	G1	S2	P1	G2	S3	P2	S4
4	2	2	4	S1	G1	S2	P1	P2	S3	G3	S4
5	2	2	4	S1	G1	P1	S2	S3	G2	P2	S4

表- 3 八层板解决方案表

对于单电源的情况下，方案 2 比方案 1 减少了相邻布线层，增加了主电源与对应地相邻，保证了所有信号层与地平面相邻，代价是：牺牲一布线层；

对于双电源的情况，推荐采用方案 3，方案 3 兼顾了无相邻布线层、层压结构对称、主电源与地相邻等优点，但 S4 应减少关键布线；

方案 4：无相邻布线层、层压结构对称，但电源平面阻抗较高；应适当加大 3-4、5-6，缩小 2-3、6-7 之间层间距；

方案 5：与方案 4 相比，保证了电源、地平面相邻；但 S2、S3 相邻，S4 以 P2 作参考平面；对于底层关键布线较少以及 S2、S3 之间的线间窜扰能控制的情况下此方案可以考虑；

十层板：推荐方案 2、3、可用方案 1、4

方案	电源	地	信号	1	2	3	4	5	6	7	8	9	10
1	1	3	6	S1	G1	S2	S3	G2	P	S4	S5	G3	S6
2	1	4	5	S1	G1	S2	G2	S3	G3	P	S4	G4	S5
3	2	3	5	S1	G1	S2	P1	S3	G2	P2	S4	G3	S5
4	2	4	4	S1	G1	S2	G3	P1	P2	G3	S3	G4	S4

表- 4 十层板解决方案表

方案 3：扩大 3-4 与 7-8 各自间距，缩小 5-6 间距，主电源及其对应地应置于 6、7 层；优选布线层 S2、S3、S4，其次 S1、S5；本方案适合信号布线要求相差不大的场合，兼顾了性能、成本；推荐大家使用；但需注意避免 S2、S3 之间平行、长距离布线；

方案 4：EMC 效果极佳，但与方案 3 比，牺牲一布线层；在成本要求不高、EMC 指标要求较高、且必须双电源层的关键单板，建议采用此种方案；优选布线层 S2、S3，

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 13 页 共66页	

对于单电源层的情况，首先考虑方案 2，其次考虑方案 1。方案 1 具有明显的成本优势，但相邻布线过多，平行长线难以控制；

十二层板：推荐方案 2、3，可用方案 1、4、备用方案 5

方案	电源	地	信号	1	2	3	4	5	6	7	8	9	10	11	12
1	1	4	7	S1	G1	S2	G2	S3	P	S4	G3	S5	S6	G4	S7
2	1	5	6	S1	G1	S2	G2	S3	G3	P	S4	G4	S5	G5	S6
3	2	4	6	S1	G1	S2	G2	S3	P1	G3	S4	P2	S5	G4	S6
4	2	5	5	S1	G1	S2	G2	S3	G3	P1	P2	G4	S4	G5	S5
5	2	3	7	S1	G1	S2	S3	P1	G2	S4	S5	P2	S6	G3	S7

表- 5 12 层板解决方案表

以上方案中，方案 2、4 具有极好的 EMC 性能，方案 1、3 具有较佳的性价比；

以上层排布作为一般原则；具体设计过程中可根据需要的电源层数、布线层数、特殊布线要求信号的数量、比例以及电源、地的分割情况，结合以上排布原则灵活掌握。

1.3 强信号单板的合理层数

根据单板的功率密度、器件密度、功率流向是否顺畅，开关管的 dV/dt ，等有特殊布线要求的信号，同时综合单板的成本，确定单板的层数，推荐 4 层板。

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 14 页 共66页	

第二部分 布线

2 布线

2.1 布线基本规则

在这里就一些设计中应该遵循的基本规则，结合以前在设计中出现的问题，作一些简单的说明：

2.1.1 信号回流最小规则

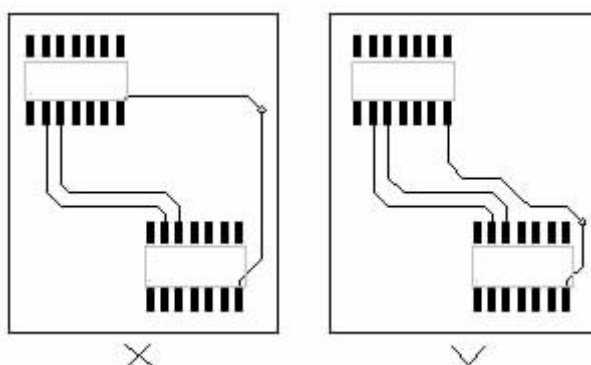


图 4 信号回流最小规则

即环面积最小规则，环面积越小，对外的辐射越少。针对这一规则，在地平面分割时，要考虑到地平面与重要信号走线的分布，防止由于地平面开槽等带来的问题；在双层板设计中，在为电源留下足够空间的情况下，应该将双面留下的部分用地信号填充，且增加一些必要的孔，将双面地信号有效连接起来，对一些关键信号尽量采用地线隔离，对一些频率较高的设计，需特别考虑其地平面回路问题，建议采用多层板为宜。

2.1.2 窜扰分析与控制规则

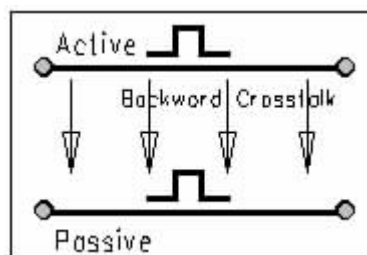


图 5 窜扰分析示意图

主要针对比较长的平行走线而言，同时满足了 5-5 原则的信号，一般来说，采用差分信号方式设计，能产生比较理想的效果；在背板设计中，一般采用中间隔地方式；对普通的印制板设计来说，应该尽量将线间距离尽量隔开一些，满足 3W 原则以减低窜扰。

2.1.3 走线屏蔽规则

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 15 页 共66页	

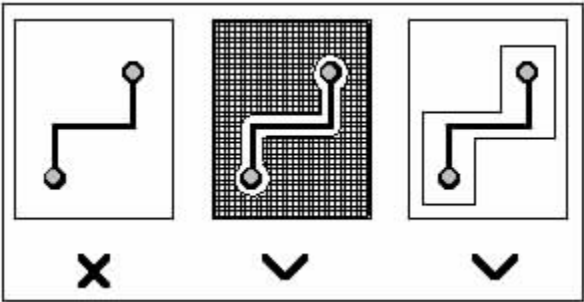


图 6 走线屏蔽规则

对应信号回流最小规则，实际上也是为了尽量减小信号的回路面积，多见于一些比较重要的信号，如时钟信号，同步信号；对一些特别重要，频率特别高的信号，应该考虑采用同轴电缆屏蔽结构设计，即将所布的线上下左右用地线隔离，而且还要考虑好如何有效的让屏蔽地与实际地平面对有效结合。

注意：当采用屏蔽规则时，最好应用在一些微弱的信号上，同时保证屏蔽层的良好接地。对于一般的信号来说，如果屏蔽层的阻抗非常小也是可以采用的。

2.1.4 走线的方向控制规则

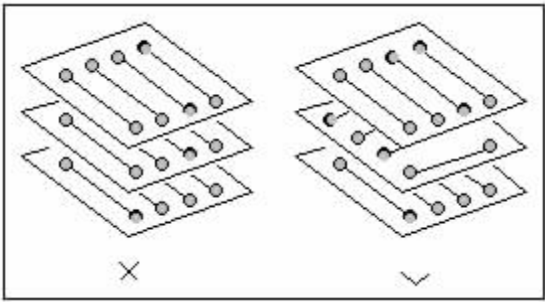


图 7 走线的方向控制规则

即相邻层的走线方向成正交结构，这是设计的基本要求，但在实际设计中很难做到，在设计中应该尽量去做。不要将不同的信号线在相邻层走成同一方向，以减少不必要的串扰；对背板上出现该情况，特别是信号速率又高时，应考虑用地平面隔离各布线层，用地信号线隔离各信号线。

对于一些复杂器件（如：BGA 封装的器件）来说不可避免要违反正交原则，这时要注意各类信号的扇出方向，同种类型的网络在一起。

2.1.5 走线的开环检查规则

PCB的EMC设计指南		
	版本：V2.0	密级：机密
		页码：第 16 页 共66页

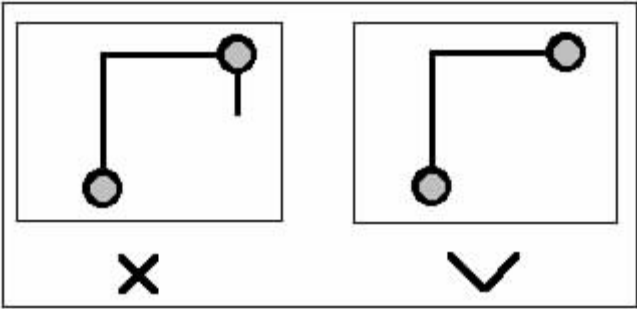


图 8 走线的开环检查规则

主要是为了避免产生“天线效应”，我们知道，在天线的末端面积越小，其发射效果越显著。对一些高频信号，一定要避免这样的设计产生，否则可能带来不可预知的结果。PCB 板防天线布线如下图所示。

2.1.6 阻抗匹配检查规则

主要是为了防止产生反射，在设计中应该尽量避免这样的设计发生，有时设计无法避免类似的结构时，我们应该尽量减少中间不一致部分的有效长度，对诸如 BGA 之类的器件，这类问题将可能难以避免。

2.1.7 走线终结网络规则

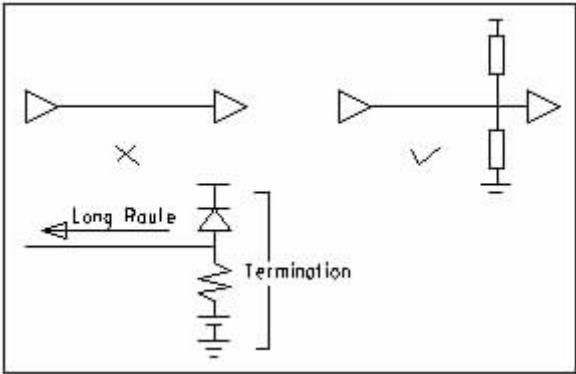


图 9 走线终结网络规则

就是通常所说的终端匹配原则，对母板上的长线及一些时钟线，要仔细分析其可能带来的影响，选择对应的匹配方案。在这个问题上，一定要结合实际布局来综合考虑，否则可能产生匹配电阻满板加的情况。终端匹配电阻在走线末端。

2.1.8 走线闭环检查规则

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
		页码: 第 17 页 共66页

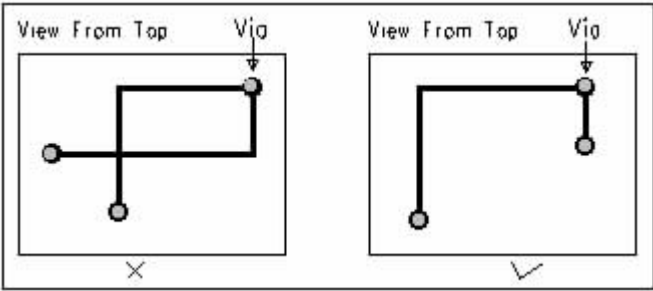


图 10 走线闭环检查规则

即布线自环规则，主要是一些设计由于层数太多而没有注意到这类问题的发生，在设计中，务必使重要信号不要产生类似的结构，尽量减少信号由于形成环状而产生的辐射大增情况。

2.1.9 走线的分枝长度控制规则

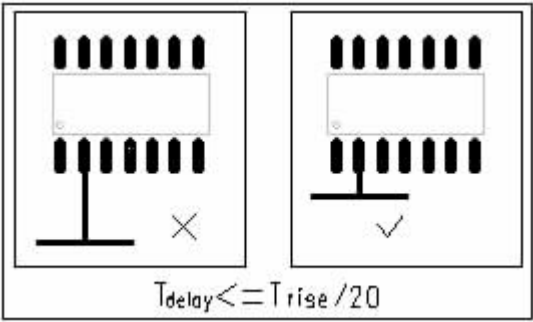


图 11 走线的分枝长度控制规则

尽量控制分枝的长度，一般的要求是 $T_{delay} \leq T_{rise} / 20$ 。

2.1.10 走线的谐振规则

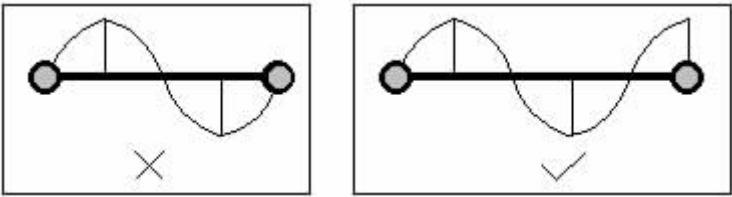


图 12 走线的谐振规则

主要针对高频信号设计而言，即布线长度不得与其波长成整数倍关系，以免产生谐振现象。

2.1.11 走线长度控制规则

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 18 页 共66页	

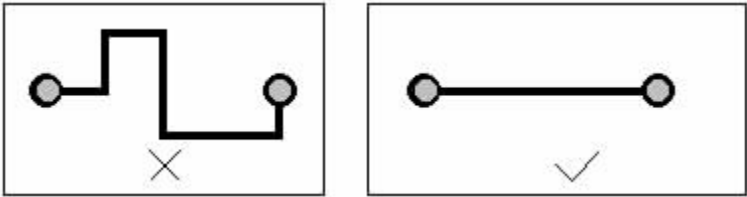


图 13 走线长度控制规则

即短线规则，也就是说在设计时应该尽量让布线长度尽量短，以减少由于走线过长带来的干扰问题，特别是一些重要信号线，如时钟线，我们务必将其振荡器放在离器件很近的地方。对驱动多个器件的情况，一定要考虑好采用何种布局方式。必要时必须牺牲布局来满足特定的要求。

2. 1. 12 倒角规则

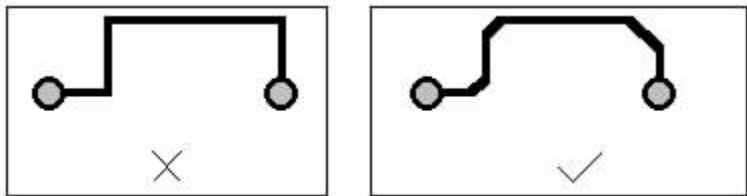


图 14 倒角规则

主要是防止尖角处阻抗太大，产生辐射，同时工艺性能也不好。公司一般将此作为一项必须遵守的规则。

2. 1. 13 器件去耦规则

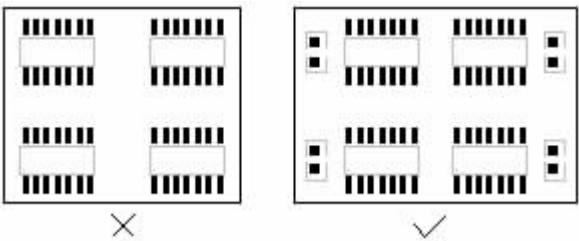


图 15 器件去耦规则

也就是增加必要的去耦电容，滤除电源上的干扰信号，使电源信号稳定。在多层板中，对去耦电容的位置一般要求不太高，但对双层板，去耦电容的布局及电源的布线方式将直接影响到整个系统的稳定性，有时甚至关系到设计的成败。

在双层板设计中，一般应该使电流先经过滤波电容滤波再供器件使用，同时还要充分考虑到由于器件产生的电源噪声对下游的器件的影响，一般来说，采用总线结构设计比较好，在设计时，我们还要考虑到由于传输距离过长而带来的电压跌落给器件造成的影响，必要时增加一些电源环路，避免产生电位差。

在高速电路设计中，能否正确地使用去耦电容，关系到整个板的稳定性。

2. 1. 14 器件布局分区/分层规则

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 19 页 共66页	

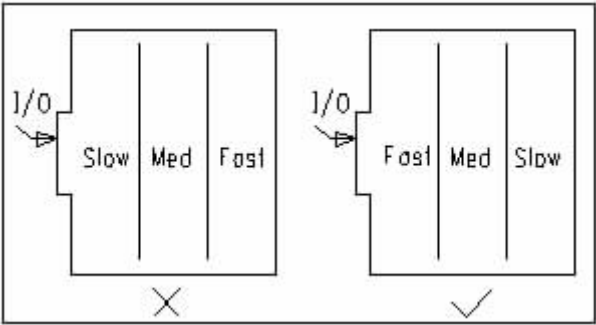


图 16 器件布局分区/分层规则

主要是为了防止不同工作频率的模块之间的互相干扰，同时尽量缩短高频部分的布线长度。通常将高频的部分布设在接口部分以减少布线长度，当然，这样的布局仍然要考虑到低频信号可能受到的干扰。同时还要考虑到高/低频部分地平面的分割问题，通常采用将二者的地分割，再在接口处单点相接，或者通过别的方式相连接。

对混合电路，也有将模拟与数字电路分别布置在印制板的两面，分别使用不同的层布线，中间用地层隔离的方式。

2.1.15 孤立铜区控制规则

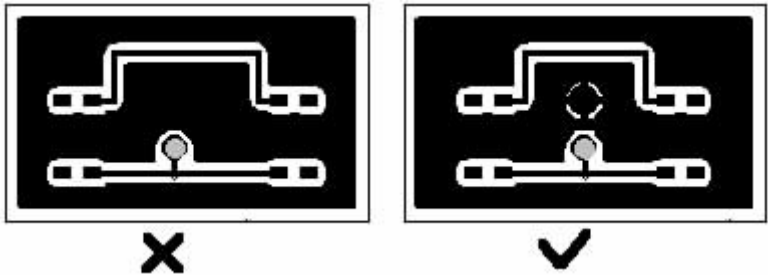
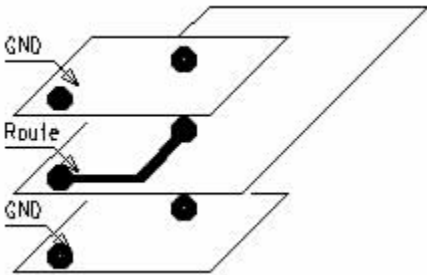


图 17 立铜区控制规则

孤立铜区的出现，将带来一些不可预知的问题，因此将孤立铜区与别的信号相接，有助于改善信号质量，通常是将孤立铜区接地或删除。在实际的设计中，有时我们会看见厂家将一些板的空置部分增加了一些小小的铜薄，这主要是为了方便印制板加工，同时对防止引制板翘曲也有一定的作用。

2.1.16 PCB 板层定义规则



PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 20 页 共66页	

图 18 PCB 板层定义规则

该规则主要目的是尽量隔离布线层，有效地降低信号间的干扰。

2.1.17 电源与地线层的阻抗匹配规则

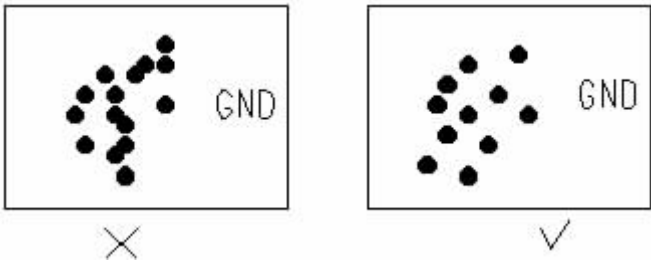


图 19 电源与地线层的阻抗匹配规则

实际上该规则与信号回流最小规则的本质是一样的，都是为了有效减少信号环面积，减少干扰。

2.1.18 重叠电源与地线层规则

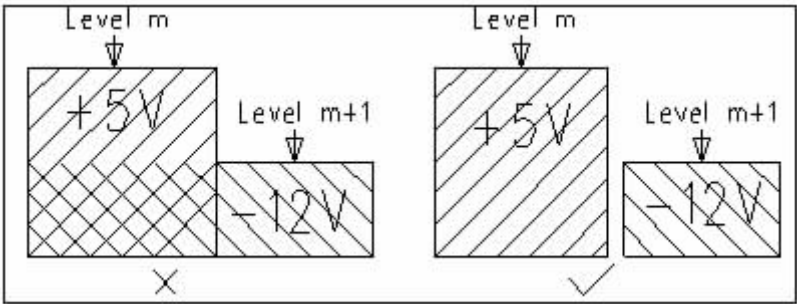


图 20 重叠电源与地线层规则

主要是为了减少不同电源之间的干扰，特别是一些电压相差很大的电源之间，重叠问题一定要设法避免，难以避免时可考虑中间隔地层。

2.1.19 3W 规则

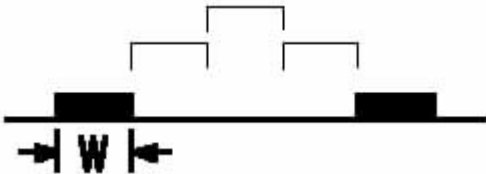


图 21 3W 规则

对一些带强烈高频成分的时钟信号，如果别的线与之靠得过近时，这些已达 RF 频率的能量将传到其它的信号上，为了有效的改善这类问题，经过实验证实，如果在相邻的信号之间增加一条接地的隔离线，那么信号之间的影响将大大减少，也就是说，如果保持两信号线中间的距离大于 3 倍干扰源信号宽度的距离，将有效改善相邻信号线之间的 EMI 干扰，这就是通常所说的 3W 规则。

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 21 页 共66页	

3W 规则可保持 70%的电场不互相干扰，如要达到 98%的电场不互相干扰，可使用 10W 的间距。

2. 1. 20 20H 规则

电源平面和地平面间的 RF 耦合可能进入自由空间，如下图中的左图所示。很高速的 PCB 中，为了避免电源平面层向自由空间辐射能量，因此所有的电源平面必须小于地平面，向内缩进 20H⁴¹²。为了更好地实行 20H 规则，就要使电源和地平面间的厚度最小，接近电源平面的走线层可布线区，就等于电源平面铜皮实体投影区。（从另外一个图中可看出，接近地平面的走线层可布线区，就是地平面铜皮实体投影区）

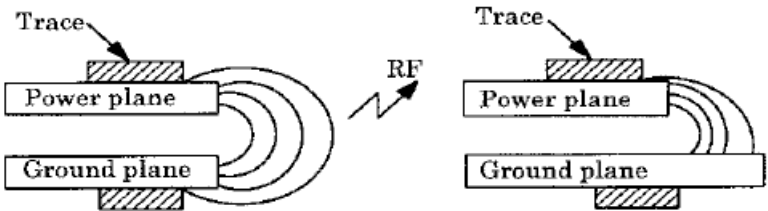


图 22 电源平面的 RF 辐射

遵从 20H 规则会使 PCB 的电源层与地层间的电容的自谐振频率提高约 2-3 倍。20H 规则会使边缘效应减小 70%，如果要想达到 98%的效果，必须遵从 100H 规则。

如果在 PCB 上存在分区，后面章节会考虑到，也要在高频率带宽区（CPU、以太网、SCSI 等）实行 20H 规则，当数字和模拟区之间提供隔离或滤波时，在分界线上也要适用 20H 规则。如下图所示。

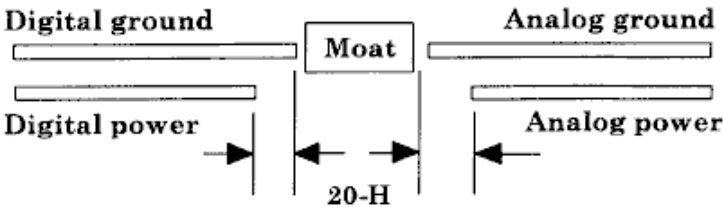


图 23 数字、模拟区边界线使用 20H 规则

2. 1. 21 五一五规则

印制板层数选择规则，即时钟频率到 5MHz 或脉冲上升时间小于 5ns，则 PCB 板须采用多层板，这是一般的规则，有的时候出于成本等因素的考虑，采用双层板结构时，这种情况下，最好将印制板的一面做为一个完整的地平面层，这是比较常见的。

2. 1. 22 低速电路一通常为双面板或单面板

有两种电源和地布线方法：

①网格状布线：

电源和地布线成网格状，每个网格面积不大于 1.5 平方英寸。

电源和地走线水平垂直相交成 90 度，分别分布在不同的走线平面上。

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 22 页 共66页	

每个 IC 都有滤波电容。

②树状布线适用于 10KHz 的模拟信号。如下图所示。

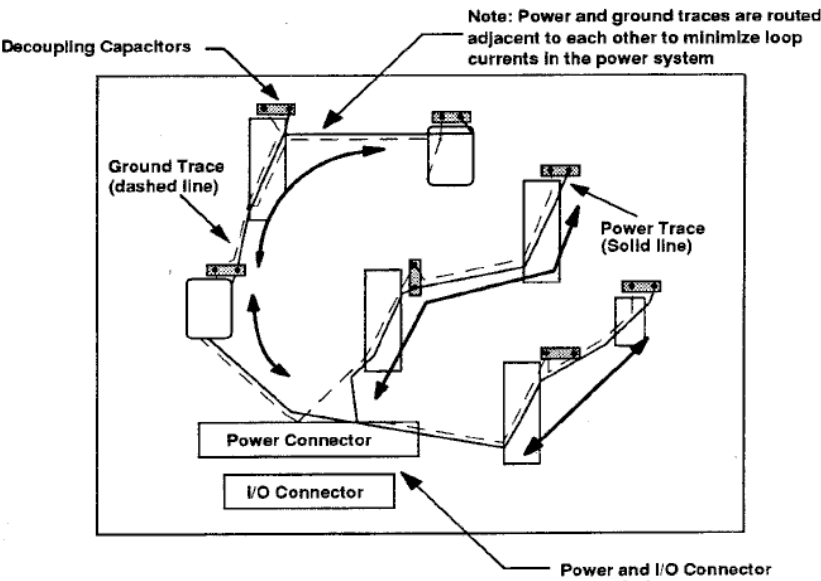


图 24 树状布线图

较长的电源走线长度基本相近，且使总长最小。

电源和地走线平行走，信号走线也沿着地并行走，走线间距要小于单线走线宽度。

每个枝上的元件都是相关的，其中一个枝上和信号线不能走到其它枝。否则就形成了较大的地环流区。

2. 1. 23 转角走线

当一条走线拐急弯时，单位长度的电容会增加，电感会减小，如下图所示。相当加了一个电容负载。

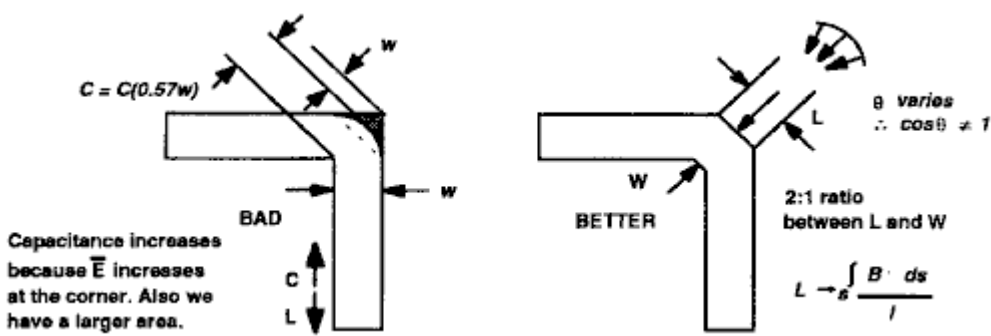


图 25 直角转弯走线

2. 2 串扰

如下图所示电路，由于在相邻 PCB 布线之间存在寄生电容 CSV，高频信号会通过 CSV 引起互相干扰，

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 24 页 共66页	

表- 6 不同条件下的串扰

2.3 优选布线层

2.3.1 布线层的优先级别

根据我们现有的资料、经验，我们对优选布线层给出如下一般原则：

A，优先考虑内层；

B，优先考虑无相邻布线层的层，或虽有相邻布线层，但相邻布线层对应区域下无走线；

C，内层布线优先级别， $L_{G-G} > L_{G-P} > L_{P-P}$ ；（即优选地作参考平面）

D，确保关键走线未跨分割区的布线层；

需要强调的是：PCB 的设计需要综合考虑功能实现、成本、EMC、工艺、美观等多种因素，在优选布线层上，没有一成不变的原则。以上建议作为一般指导原则，CAD 工程师的价值也就在于在多种因素中，折衷考虑，找到最佳解决途径。

例如：在布局部分第一章关于十层板有如下层排布方案：

方案	电源	地	信号	1	2	3	4	5	6	7	8	9	10
1	1	3	6	S1	G1	S2	S3	G2	P	S4	S5	G3	S6
2	1	4	5	S1	G1	S2	G2	S3	G3	P	S4	G4	S5
3	2	3	5	S1	G1	S2	P1	S3	G2	P2	S4	G3	S5
4	2	4	4	S1	G1	S2	G3	P1	P2	G3	S3	G4	S4

在方案 1 里，由于 S2、S3 均在内层，且夹在两地平面之间，在布关键信号时，我们首先考虑 S2、S3，并保证层间无平行长线（关键网络）；S4、S5 与 S2、S3 基本相同，但夹在电源、地平面之间，根据我们现有掌握的情况，电源、地平面之间的 EMC 环境差于两地平面之间的 EMC 环境，因而 S4、S5 的优先级别低于 S2、S3，由于 S5 以阻抗较低的 G3 作参考平面，其优先级别略高于 S4；S1、S6 同为表层布线，一般而言，表层（TOP）由于器件 PIN 密度高于底层（BOTTOM），两者之间，我们优先考虑 S6；即，方案一的布线优先级别为：S2=S3>S5>S4>S6>S1；

同样分析，方案 2 的布线优先级别：S2=S3>S4>S5>S1；

方案 3 的布线优先级别：S2=S3=S4>S5>S1；

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 25 页 共66页	

方案 4 的布线优先级别：S2=S3=S4>S1；

2.4 阻抗控制

2.4.1 输入阻抗

在集总电路中，输入阻抗是经常使用的一个术语，它的物理意义是：从单口网络看进去的电压和电流的比值。如图：

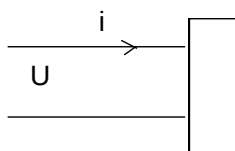


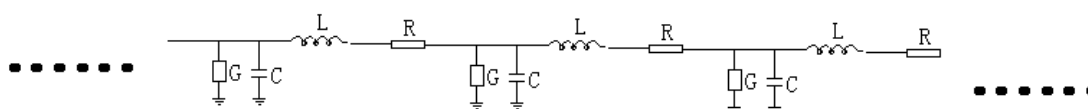
图 27 输入阻抗

输入阻抗： $Z_{in} = U/i$ 。

2.4.2 特征阻抗

对于 PCB 来说每一段走线都有特定的阻抗值，走线电感是引起 PCB 上射频辐射的重要因素之一。甚至于从芯片硅芯到安装焊盘之间的引线电感也会引起可观的射频电势，尤其是电路板上的细长走线会有较大的引线电感。通常如果有射频电压加在一段阻抗上就会有相应的射频电流流过，就会引发电磁干扰。

随着信号传输速率越来越高，PCB 走线已经表现出传输线的性质，在集总参数电路中视为短路线的连线上在同一时刻的不同位置的电流电压已经不同，所以不能用集总参数来表示，必须采用分布参数来处理。传输线的模型可以表示如下图：



传输线模型

现在我们对以上传输模型进行物理方程的解答。

传输线的性质可以用电报方程来表达，电报方程如下：

$$dU/dz = (R + j\omega L) I$$

$$dI/dz = (G + j\omega C) U$$

电报方程的通解为：

$$U = A e^{r z} + B e^{-r z}$$

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 26 页 共66页	

$$I = A \times e^{rz} - B \times e^{-rz}$$

通解中的 $r = \sqrt{(R + j\omega L)(G + j\omega C)}$ 为传播常数

$$Z = \sqrt{(R + j\omega L) / (G + j\omega C)}$$
 为特征阻抗

从通解中可以看到传输线上的任意一点的电压和电流都是入射波和反射波的叠加，因此传输线上任意一点的输入阻抗值都是时间、位置、终端匹配的函数，所以再使用输入阻抗来研究传输线已经失去意义了，所以引入了特征阻抗、行波系数、反射系数的概念。注意反射系数和行波系数并不仅限于在传输线的两端，对于传输线上的任意点，它们都有意义。

特征阻抗是指传输线理论中较为重要的概念，是沿线上分布电容和电感的等效，它的物理意义是，入射波的电压与电流的比值，或反射波的电压与电流的比值。由电报方程可以得到特征阻抗的解，见式（4），由于 R、G 的值相对比较小，特征阻抗可简化为：

$$Z = \sqrt{L/C}$$

反射系数是传输线上某一处的反射波电压（或电流）与入射波（或电流）之比。

$$\text{反射系数: } \Gamma(z) = \frac{U^-(z)}{U^+(z)} = -\frac{I^-(z)}{I^+(z)}$$

行波系数是：传输线上某一处的最小电压（或电流）与最大电压（或电流）之比。

他们都与特征阻抗密切相关。

阻抗的不连续是造成反射的根源，反射会造成过冲、振铃等现象，过冲集中了较大的能量，而且振铃与过冲包含有大量谐波成分，对 EMC 产生不良影响，实践证明削减过冲与振铃，可以有效的减小传导与辐射干扰。阻抗失配，如换层、多负载分叉、跨分割区等都会造成信号质量问题，解决了这些，大部分的 EMC 问题也就相应解决了。当然信号频率与上升、下降速率也是影响反射与 EMC 的重要因素。因此对于高速信号，一般要求阻抗保持连续。

2.4.3 屏蔽地线对阻抗的影响

在实际的设计中，经常在关键的信号线两边各加一条地线（guardline）。目的在于为关键信号提供一个低电感的地回路，从而减少相邻线之间的串扰与传导、辐射的影响。但增加了地线的时候，也改变了信号的电磁场分布，降低了信号线的阻抗。

2.5 跨分割区及开槽的处理

2.5.1 对电源/地平面分割造成的开槽

当 PCB 板上存在多种不同的电源或地的时候，一般不可能为每一种电源网络和地网络分配一个完整的平面，常用的做法是在一个或多个平面上进行电源分割或地分割。同一平面上的不同分割之间就形成了开槽。

2.5.2 通孔过于密集形成开槽

通孔包括焊盘和过孔。通孔穿过地层或电源层而与之没有电气连接时，需要在通孔周围留一些空间（即隔离环）以便进行电气隔离；但当通孔之间的距离靠得太近时，隔离环就会重叠起来，形成开槽。这也被称为热焊盘问题。下图是一个通孔密集形成开槽的例子。

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
		页码: 第 27 页 共66页

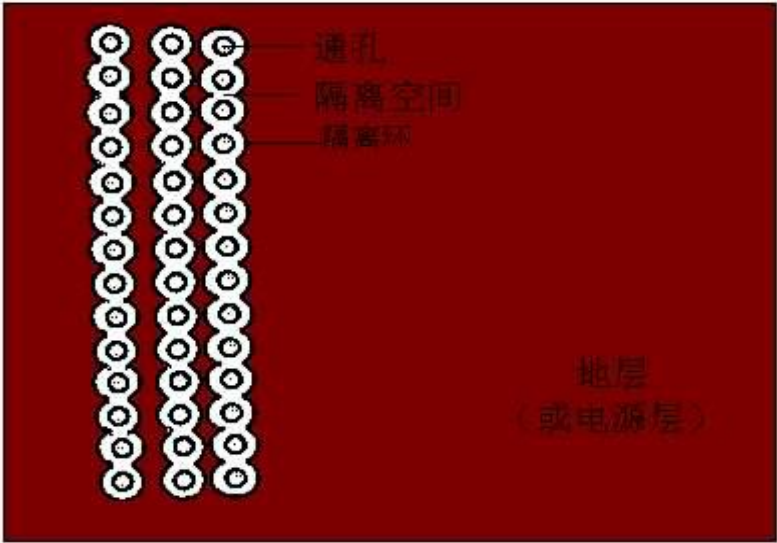


图 28 通孔密集形成开槽

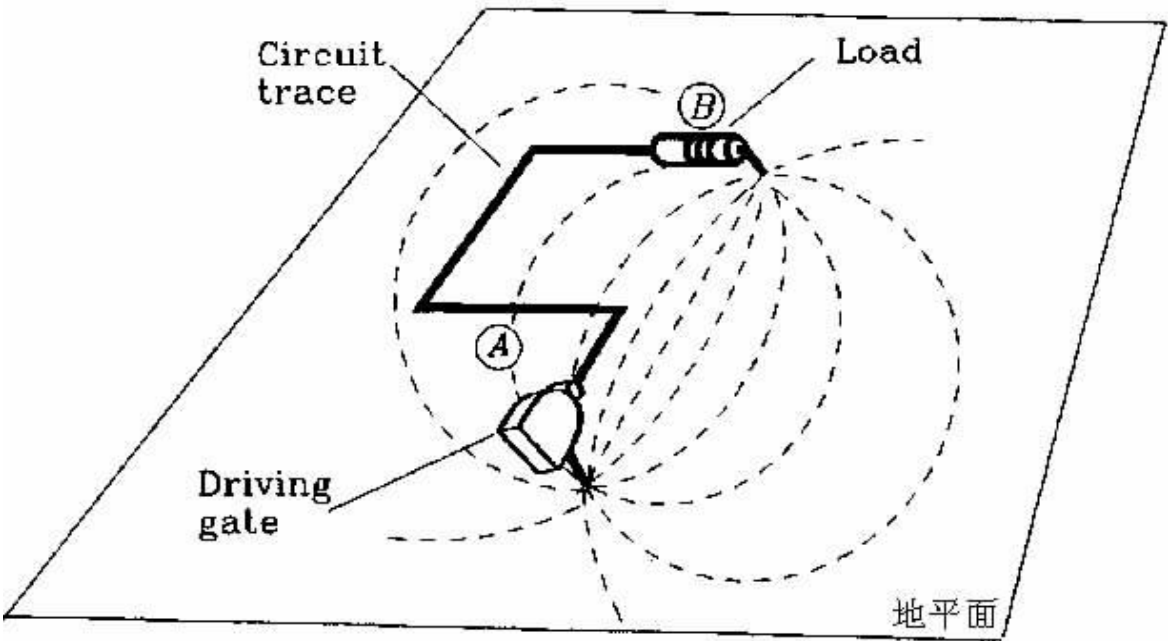
图 28 给出了一个通孔密集形成开槽的示意图。目前我司单板广泛地使用 2mm 连接器（或其它高密度连接器），当连接器穿过电源或地层时，为了完成有效的电气隔离或安全隔离，连接器的针与电源或地平面必须有隔离环进行隔离；当隔离环的半径大于 1mm（插针间的间距的一半）时，就会形成开槽。

2.5.3 开槽对 PCB 板 EMC 性能的影响

开槽对 PCB 板的 EMC 性能会造成一定的影响。这种影响可能是消极的，也可能是积极的。

2.5.3.1 高速信号与低速信号的面电流分布

在低速的情况下，电流沿电阻最低的路径流动。下图所示的是低速电流从 A 流向 B 时，其回流信号从地平面返回源端的情形。此时，面电流分布较宽。



PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 28 页 共66页	

图 29 低速信号的回流电流路径分布

在高速的情况下，信号回流路径上的电感的作用将超过电阻的作用。高速回流信号将沿阻抗最低的路径流动。下图给出了一个典型的高速信号的回流路径。

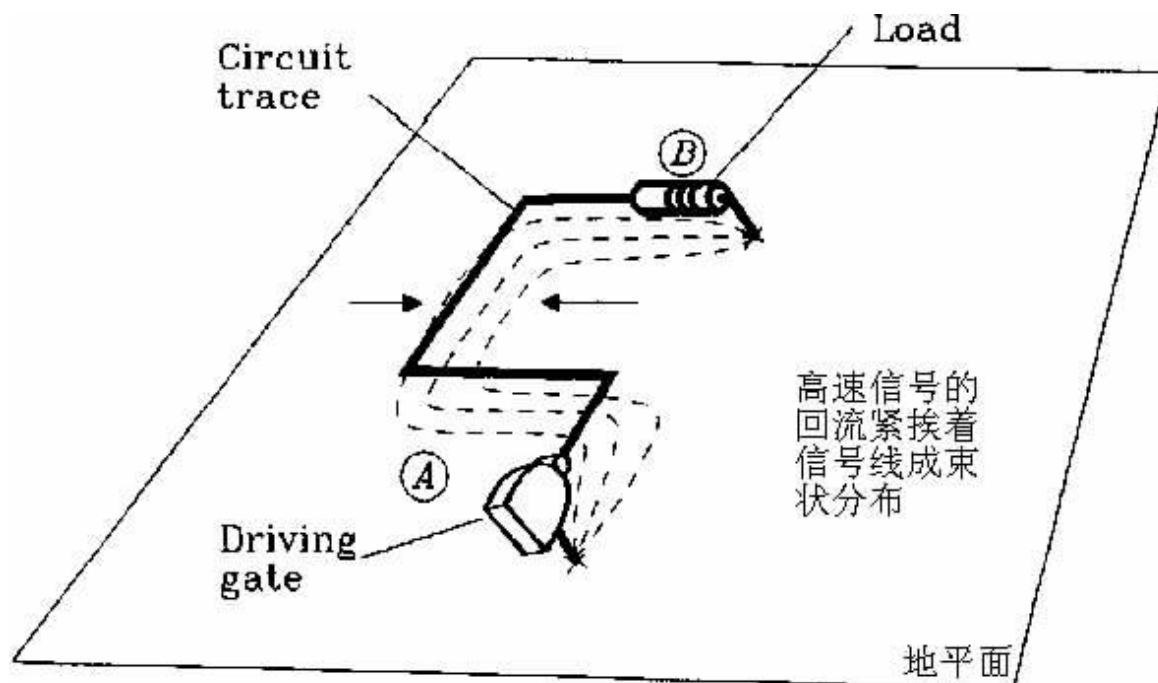


图 30 高速回流信号回流电流路径分布

此时，面电流的分布很窄，回流信号成束状集中在信号线的下方。

2.5.3.2 “分地”的概念

当 PCB 板上存在不相容电路时，需要进行“分地”的处理，即根据不同的电源电压、数字和模拟信号、高速和低速信号、大电流和小电流信号来分别设置地线。

从前面给出的高速信号与低速信号回流的分布可以很容易地理解分地的作用：分地，可以防止不相容电路的回流信号的叠加，防止共地线阻抗耦合。

需要注意两点：

其一，分地的概念与下面将要讨论的“信号跨越电源平面或地平面上的开槽的问题”是不同的，分地只是根据不同种类的信号分别设置地线（或平面）；

其二，分地并不是将各种地完全隔离，没有任何电气连接，分地后的各种地还会在适当的位置连接起来，保证整个地层的电连续性。

2.5.3.3 信号跨越电源平面或地平面上的开槽的问题

不论高速信号还是低速信号，都不应该跨分割走线。跨分割走线会带来很多严重的问题，包括：

增大电流环路面积，加大了环路电感，使输出的波形容易振荡；

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 29 页 共66页	

增加向空间的辐射干扰,同时易受空间磁场的影响;

加大与板上其它电路产生磁场耦合的可能性;

环路电感上的高频压降构成共模辐射源,并通过外接电缆产生共模辐射。

下图给出了一个地槽引起高频信号产生串扰的示意图。

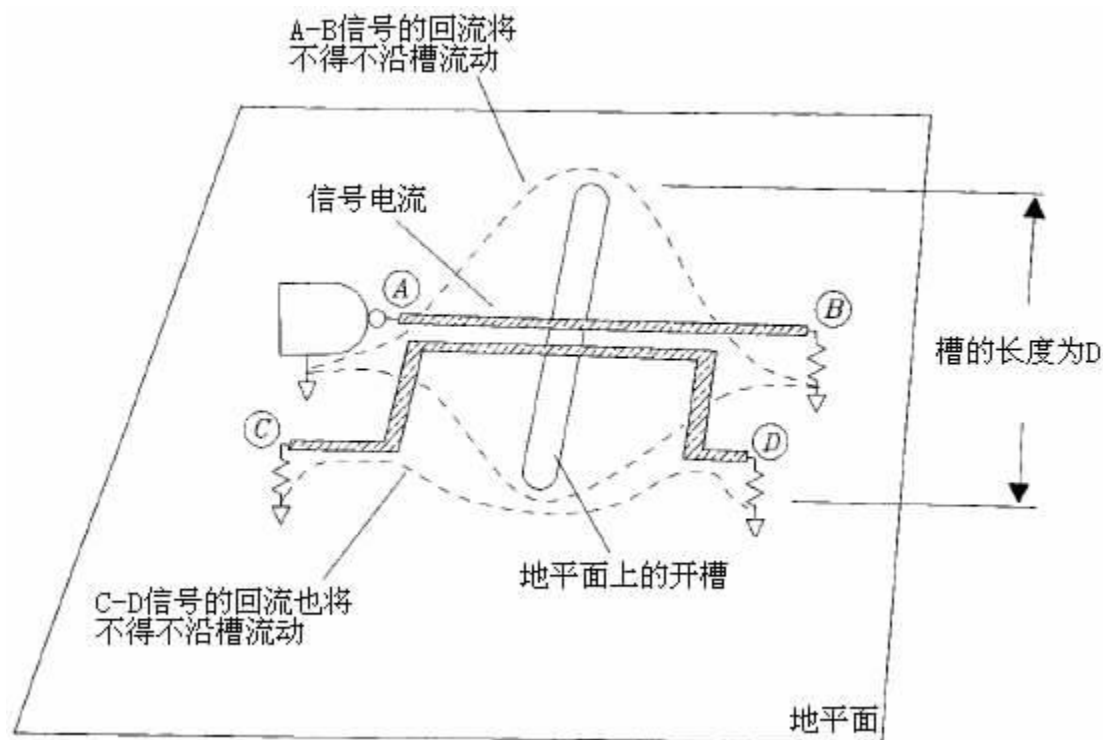


图 31 地平面开槽引起信号间的串扰

对于需要严格的阻抗控制、按带状线模型走线的高速信号线而言,还会因为上平面或下平面或上下平面的开槽破坏带状线模型,造成阻抗的不连续,引起严重的信号完整性问题。

2.5.4 对开槽的处理

对开槽的处理应该遵循以下原则。

2.5.4.1 需要严格的阻抗控制的高速信号线,其轨线严禁跨分割走线

跨分割走线会造成阻抗不连续,引起严重的信号完整性问题。

2.5.4.2 当PCB板上存在不相容电路时,应该进行分地的处理

分地不应该造成高速信号线的跨分割走线,也尽量不要造成低速信号线的跨分割走线。

2.5.4.3 当跨开槽走线不可避免时,应该进行桥接

PCB的EMC设计指南		
	版本：V2.0	密级：机密
		页码：第 30 页 共66页

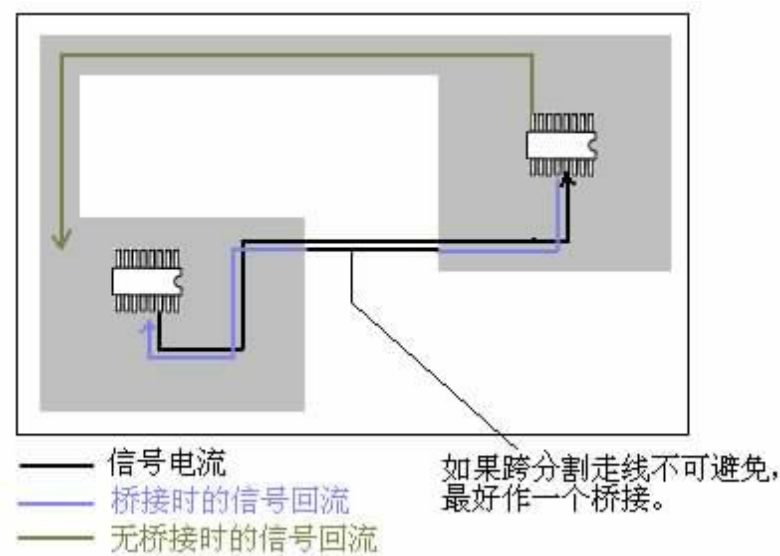


图 32 当跨分割走线不可避免时应该进行有效的桥接

当信号线不能避免跨开槽走线的情形时，应该进行有效的桥接，在沿信号路径的方向将地平面连接起来。下图给出了桥接的示意图。

2.5.4.4 接插件（对外）不应放置在地层隔缝上

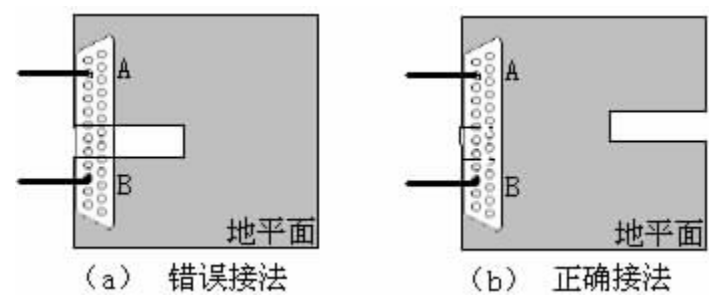


图 33 接插件不能安装在地层隔缝上

图 33（a）中如果地层上的 A 点和 B 点间存在较大的电位差，就有可能通过外接电缆产生共模辐射。所以应该改成图 34（b）中安装方法，这样 A、B 两点就不会存在电位差了。

2.5.4.5 高密度接插件的处理

高密度接插件（如目前广泛使用的 2mm 连接器）在穿过电源和地平面时，如果隔离环的半径过大，就会形成开槽。在进行 PCB 设计时，除非有特别的要求（如个别信号有严格的安全距离的要求），一般应该保证地网络环绕每一个引脚，也可以在进行引脚排布时均匀地安排地网络，保证地平面的连续性，防止开槽的产生。示意图如下图所示。

PCB的EMC设计指南		
	版本：V2.0	密级：机密
		页码：第 31 页 共66页

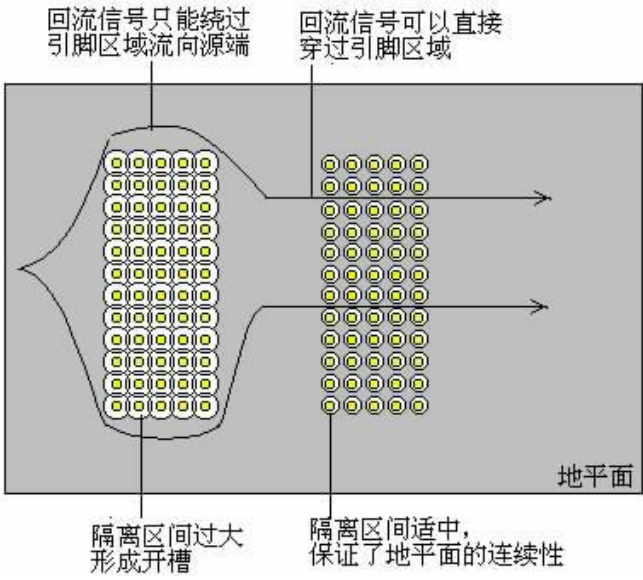


图 34 高密度接插件的处理

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 32 页 共66页	

第三部分 地回路设计

3 地回路设计

3.1 地的分割与汇接

接地是抑制电磁干扰、提高电子设备 EMC 性能的重要手段之一。正确的接地既能提高产品抑制电磁干扰的能力，又能减少产品对外的 EMI 发射。

3.2 接地的含义

电子设备的“地”通常有两种含义：一种是“大地”（安全地），另一种是“系统基准地”（信号地）。接地就是指在系统与某个电位基准面之间建立低阻的导电通路。“接大地”就是以地球的电位为基准，并以大地作为零电位，把电子设备的金属外壳、电路基准点与大地相连接。

把接地平面与大地连接，往往是出于以下考虑：

- A，提高设备电路系统工作的稳定性；
- B，静电泄放；
- C，为操作人员提供安全保障。

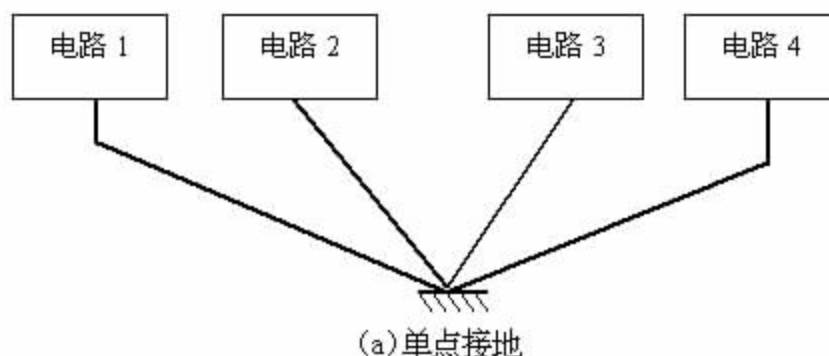
3.3 接地的目的

- A，安全考虑，即保护接地；
- B，为信号电压提供一个稳定的零电位参考点（信号地或系统地）；
- C，屏蔽接地。

3.4 基本的接地方式

电子设备中有三种基本的接地方式：单点接地、多点接地、浮地。

3.4.1 单点接地



PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 33 页 共66页	

图 35 单点接地示意图

单点接地是整个系统中，只有一个物理点被定义为接地参考点，其他各个需要接地的点都连接到这一点上。

单点接地适用于频率较低的电路中（1MHZ 以下）。若系统的工作频率很高，以致工作波长与系统接地引线的长度可比拟时，单点接地方式就有问题了。当地线的长度接近于 $1/4$ 波长时，它就象一根终端短路的传输线，地线的电流、电压呈驻波分布，地线变成了辐射天线，而不能起到“地”的作用。为了减少接地阻抗，避免辐射，地线的长度应小于 $1/20$ 波长。在电源电路的处理上，一般可以考虑单点接地。

3.4.2 多点接地

多点接地是指设备中各个接地点都直接接到距它最近的地平面上，使接地引线的长度最短。

多点接地电路结构简单，接地线上可能出现的高频驻波现象显著减少，适用于工作频率较高的（>10MHZ）场合。但多点接地可能会导致设备内部形成许多接地环路，从而降低设备对外界电磁场的抵御能力。在多点接地的情况下，要注意地环路问题，尤其是不同的模块、设备之间组网时。

多点接地减小了地阻抗，使 RF 电流从地平面流进底盘地。在很高频的电路，元件接地脚的长度必须尽可能短。走线电感与线宽和线高度（走线到平面层距离）有关，通常约为每英寸 15-20nH，此电感与地平面和底盘平面间的分布电容结合可能会引起谐振。

数字电路必须看成是高频率的模拟电路，由逻辑电路组装的板上，低阻抗接地很重要。PCB 内的地平面对电源和信号电流提供了一个低电感的接地回路，走线就可能使用阻抗不变的传输线。当连接地平面和底盘平面时，提供了 RF 电流的高频去耦作用，这些 RF 电流是由平面和它们相关的信号走线组成的谐振电路产生的。用高质量的旁路电容 0.1uF 和 0.001uF 并联放在每个接地点上。底盘地频繁直接连接到 PCB 内的地平面，减小板与底盘间的 RF 电压和电流。如果磁回路很小（最高的 RF 产生频率的 $1/20$ 波长），RF 抑制能力会增强。

3.5 地线回路导致的电磁干扰

理想地线应是一个零电位、零阻抗的物理实体。但实际的地线本身既有电阻分量又有电抗分量，当有电流通过该地线时，就要产生电压降。地线会与其他连线（信号、电源线等）构成回路，当时变电磁场耦合到该回路时，就在地回路中产生感应电动势，并由地回路耦合到负载，构成潜在的 EMI 威胁。以下图为例：

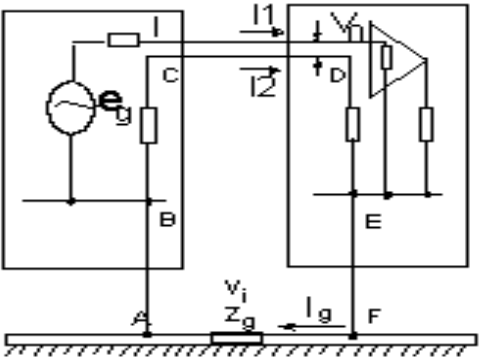


图 36 公共地阻抗耦合

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 34 页 共66页	

由于分布电容的作用,在传输线与地之间存在一回路 B—C—D—E—F—A。由于地阻抗的存在,当地电流 I_g 流过地平面时,会在 Z_g 产生一电压降 V_i ,即该电路的 B、E 两点之间出现电压降 V_i 。此电压 V_i 对两根信号连线是公共的,从而引起电流 I_1 、 I_2 在两根线中流动。由于 I_1 、 I_2 流过的路径的阻抗不同,故由此阻抗不平衡在负载两端产生差模电压 V_0 ,此即为地回路 EMI 来源之一。

3.6 接地和信号回路（涡流除外）

1/20 波长:针对产生的最高的 RF 频率,有些资料上认为有 5 倍的关系,如果方波的频率是 50MHz,那么最高的 RF 频率是 5 次谐波 250MHz。

环路是传播 RF 能量的主要贡献者,RF 电流将通过可变的或媒质(元件、线夹、地平面、邻近的走线等)企图返回到它的源端。

PCB 设计时的 EMI 抑制的一个重要原则是地或者信号回流控制。通常是把高速逻辑元件或者振荡器放在连接器的地线针处,以减小 RF 环路面积,减小底盘的涡流。完整的地平面阻止含有丰富的 RF 能量的 PCB 走线产生共模电流。

3.7 浮地

浮地是指设备地线系统在电气上与大地绝缘的一种接地方式。

由于浮地自身的一些弱点,不太适合于我司一般的大系统中,其接地方式很少采用。

3.8 关于接地方式的一般选取原则

对于给定的设备或系统。根据经验法则,对于低于 1MHz 的电路,采用单点接地较好;对于高于 10MHz,则采用多点接地为佳。

对于接地的一般选取原则如下:

- (1) 低频电路 (<1MHz), 建议采用单点接地;
- (2) 高频电路 (>10MHz), 建议采用多点接地;
- (3) 高低频混合电路, 混合接地。

3.9 单板接地方式

在电路这一级上专门提出对接地的具体要求是不合适的。对具体单板而言,我们一般根据器件手册,进行必要的分割处理。对于单板不同类型地之间的汇接,建议通过磁珠完成,或者直接在 PCB 上单点贯通。对于未通过磁珠而直接单点连接的电源,建议在单点汇接处放置一个 0.1u(或 0.01u) 的电容器进行滤波处理(一端接该电源,另一端接对应的地)。

在电源、地的分割方面要注意切断 EMI 通过参考平面从初级窜到次级的途径,尤其是在滤波器、共模线圈、磁珠等器件的分割处理上。

以下为 Pulse 公司提供的其隔离变压器的地分割图:

PCB的EMC设计指南		
	版本：V2.0	密级：机密
		页码：第 35 页 共66页

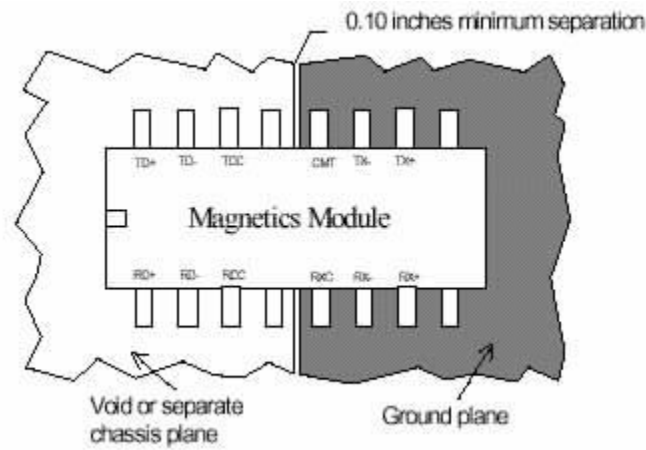


图 37 隔离变压器的地分割图

对于上图，我们留意到，在对待该隔离变压器的地分割上：

- A，分割的位置：初、次级衔接处；
- B，分割线的宽度：不少于 100MIL。

之所以作以上分割处理，就是为了达到初、次级的隔离，控制源端的干扰通过参考平面耦合到次级。从推荐的以下地分割图中，我们也能发现分割线的位置相当重要。除了达到隔离的作用外，我们还需考虑相邻层布线情况，避免重要信号线跨分割区。

对于我们现在采用的多数 IC, 供应商一般都提供有详细的 PCB 设计要求(包括电源、地的分割)，在实际情况可能的情况下，尽量按照供应商的要求去做。

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 36 页 共66页	

第四部分 典型电路的 PCB 设计

4 典型电路的 PCB 布局

4.1 概述

电力电子产品由于其本身的特殊性，相对于高速数字电路在 PCB 布局方面有诸多不同之处，研究和实施功率电子 PCB 布局方面的技术主要包含以下几个特点：

EMI 的噪声源主要集中在功率主电路

噪声的频率主要集中在 200MHz 以下，因此串扰等问题相比不突出

噪声的发射效率与主电路的布线中所形成的天线形状和长度密切相关

由于 dv/dt 和 di/dt 较大，而功率电路的结构日趋紧凑，因此近场耦合比较严重

鉴于以上特点，电力电子电路的布局需要根据具体的电路形式进行不同的调整，我司主要应用的电路中在 EMC 设计上特点比较鲜明的有以下几种：

正激电路

非隔离电路

双正激电路

全桥电路

半桥电路

PFC 电路

反激电路

本指导书主要根据 PCB EMC 设计的相关原则，对以上几种电路进行具体分析，以期对后续产品的 PCB 设计提供经验和原理上的借鉴。

4.2 功率主电路的 PCB EMC 布局原则

EMC 设计在电力电子电路中按照 EMI 和 EMS 划分，主电路由于其本身处理高电压、大电流（相对于 EMS 试验中的试验应力）的能力较强，对于单一的斩波电路而言，其抗扰性在整个系统中是最强的，因此对 EMS 的设计主要集中在端口电路以及地系统的设计中，具体的设计技术请参照相关的指导书。同样也由于主电路处理的电压和电流较高，对 EMI 的贡献也就最大，因此抑制主电路的 EMI 是 PCB EMC 设计的主要目的。

4.2.1 PCB 辐射原理分析

4.2.1.1 差模回路形成的环形天线辐射

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 37 页 共66页	

这是最典型的辐射方式，也是电路设计中不可避免的，如下图所示， V_s 为电压源， R_L 为负载电阻，在实际电路中也即工作电压驱动的元器件， I_{dm} 为工作时产生的差模电流，则工作回路 $A \rightarrow B \rightarrow C \rightarrow D$ 自然形成一差模环形天线，这是 PCB 产生辐射场的原因之一，如果这个差模回路完全对称，则在空间产生的大部分场强互相抵消，因此差模场强在理想的情况下对系统的 EMI 影响不大，但实际设计中往往不可能做到形状上和回路走线阻抗上对称，因此差模环形天线实际还是 EMI 噪声源的主要组成部分，另外对于 di/dt 较大的环形回路，形成的近场磁场是近场耦合的主要原因，当主电路附近敏感性电路易受干扰时，原因往往多出于此。

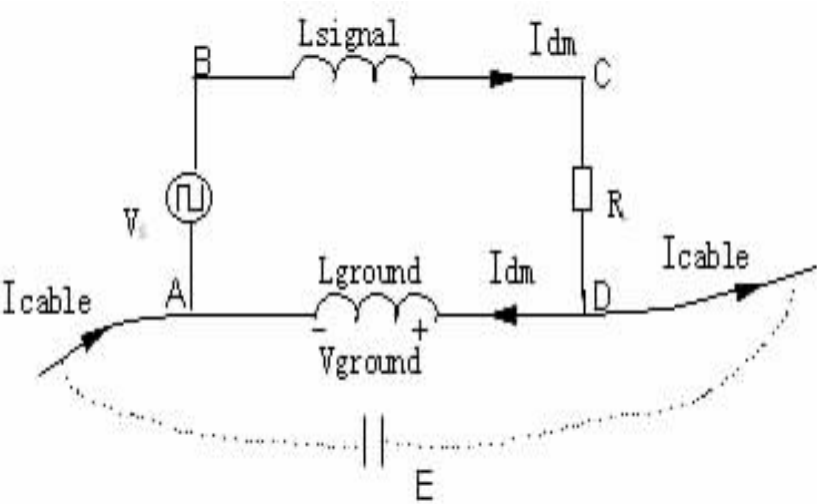


图 38 差模回路形成的环形天线辐射

4.2.1.2 共模电流形成的偶极子天线

虽然在 PCB 布线时通常将差模回路的 PCB 轨线靠得很近，以减小回路面积及布线电感，但布线电感总是存在的，如果 PCB 轨线长度小于一个波长，则其分布电感可用集中参数 L_{signal} 及 L_{ground} 表示。当 V_s 电流变化时，则在地线电感上产生电压 $V_{ground}=L di/dt$ ，该电压可驱动地线电缆作为一个偶极子天线，如果地线电缆两端的寄生电容较大，则给该共模电流提供通路从而产生共模电流 I_{cable} ，如图 39 $A \rightarrow D \rightarrow E$ 所示。这是 PCB 辐射场产生的另一原因。

4.2.1.3 PCB 辐射场产生的第三个原因是电路形成了共模不平衡偶极子天线

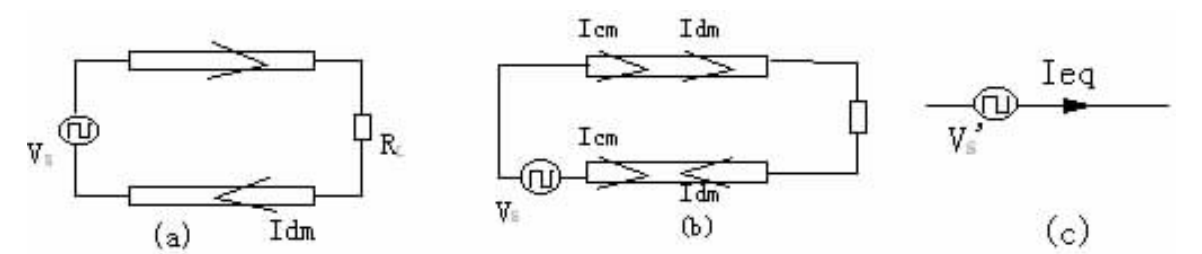


图 39 共模不平衡偶极子天线

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 38 页 共66页	

理论上，如果两根 PCB 轨线的长度远大于它们之间的间隔距离，则差模电流所产生的场方向相反因而互相抵消，差模辐射很小。而且，如果四根轨线平衡均成长方形，且 V_s 位于一轨线的中间位置，则只有差模电流流过 PCB，如图 40（a）所示。但实际上，由于布局的其它考虑以及寄生参数等，在 PCB 上通常做不到平衡。

假定如图 40（b）所示电压源 V_s 的连接使 PCB 轨线不平衡，虽然两根轨线所生产的场强也相互削弱，但若轨线相距远小于其长度，则会产生同方向的共模电流。共模电流所产生的场强将远大于差模电流所产生的场强，因为它们电流方向一致，因而产生场强是同向叠加的。该共模发射也可等效为图 40(c)所示的不平衡偶极子天线。它的驱动电压 V_s' 与 V_s 成比例。

4.2.2 PCB EMC 布局原则

从产生 EMI 辐射的几个主要原因可以总结出，PCB EMC 布局的几个基本原则：

一、对于差模回路形成的环形天线辐射，由于不可能做到环路走线的对称，因此在 PCB 布局上满足工作绝缘的前提下，要尽量减小来回走线之间的距离，以减小差模环路面积以降低天线辐射效率和辐射能量。

二、因共模电流是辐射干扰产生的重要原因，所以首先应减小 PCB 的共模电流。主要通过减小工作电流，或增加脉冲上升时间。

三、减小地线电感，在 PCB 附近或 PCB 层内放置导体层。该 PCB 轨线的镜像电流产生的辐射场将抵消流经 PCB 布线的共模或差模电流产生的辐射场。

利用设置镜像平面的方法减小地线电感原理如下：

如图 40a 所示为一对理想的平行导线，导体电感可表示为自感 $L_{P11}=L_{P22}$ 及 互感 $L_{P12}=L_{P21}$ 。

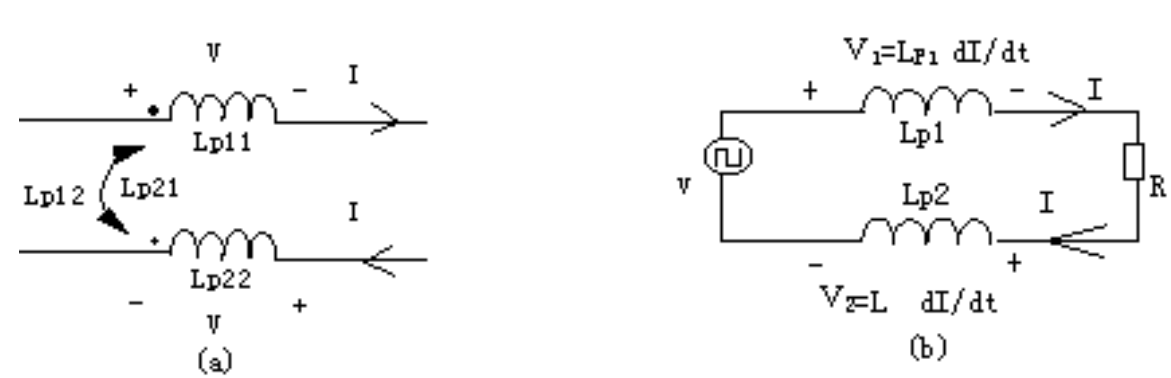


图 40 设置镜像平面减小地线电感

则 $V_1 = L_{P11} \frac{dI_1}{dt} - L_{P12} \frac{dI_2}{dt}$

$$V_2 = L_{P22} \frac{dI_2}{dt} - L_{P21} \frac{dI_1}{dt}$$

对于单一回路 $I_1 = I_2 = I$ 定义每一支路的电感为：

$$L_{P1} = L_{P11} - L_{P12}$$

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 39 页 共66页	

$$L_{P1} = L_{P11} - L_{P21}$$

可见 $L_{P1} = L_{P2}$,

故可将电路等效为图 41 b, 可用电路分析方法来分析它。因自感不变而互感随两导体距离的减小而增大, 故导体电感随导体距离的接近而减小。

对于长度为 l , 半径为 ρ 的导线, $l \gg \rho$ 时低频下的自感为:

$$L_{P11} = L_{P22} = \frac{\mu_0 l}{8\pi} + \frac{\mu_0 l}{2\pi} \left[\ln \frac{2l}{\rho} - 1 \right]$$

在高频下自感为: $L_{P11} = L_{P22} = \frac{\mu_0 l}{2\pi} \left[\ln \frac{2l}{\rho} - 1 \right]$

对于长度为 l , 宽度为 W , 厚 t 的方形导体, 如果 $l \gg W \gg t$, 低频下自感为

$$L_{P11} = L_{P22} = \frac{\mu_0 l}{2\pi} \left[\ln \frac{8l}{W+t} - \frac{1}{2} \right]$$

高频下自感为: $L_{P11} = L_{P22} = \frac{\mu_0 l}{2\pi} \left[\ln \frac{8l}{W} - 1 \right]$ (1)

图 40(b) 所示的导体每边长度为 l , 距离为 d 。

$d \ll l$, 而 d 远大于其横截面尺寸, 圆形导体或 PCB 轨线互感可由下式决定:

$$L_{P12} = L_{P21} = \frac{\mu_0 l}{2\pi} \left[\ln \frac{2l}{d} - 1 + d/l \right] \quad (2)$$

则高频下 PCB 轨线电感为: $L_{P1} = L_{P2} = \frac{\mu_0 l}{2\pi} \left[\ln \frac{4d}{W} - \frac{d}{l} \right] = \frac{\mu_0 l}{2\pi} \left[\ln \frac{4d}{W} \right]$ $d \ll l$ (3)

假设一个导体平板置于一对平行 PCB 轨线之下, 并且 PCB 轨线与导体平面平行, 它们之间距离为 h , 如图 41a 所示。

假定导体平面与 PCB 轨线无电气连接, 由镜像理论, 该 PCB 轨线及导电平面可等效为图 41b 所示的四个 PCB 轨线的情形。

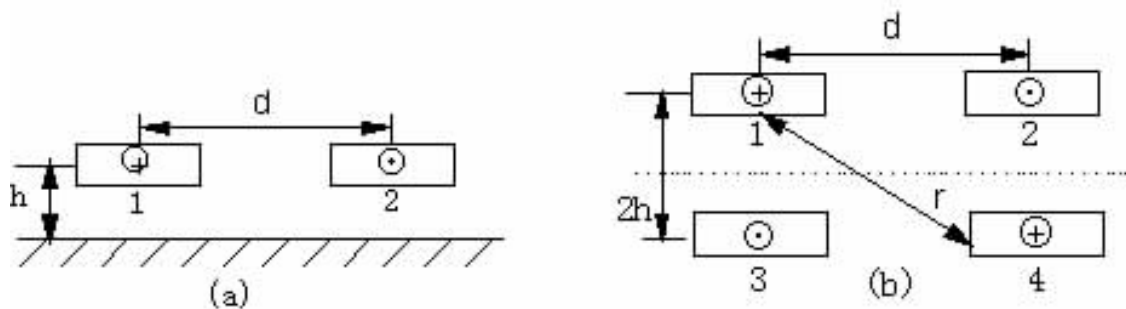


图 41 由镜像理论(a)轨线及导电平面可等效为(b)四个 PCB 轨线

镜像导体电流方向与原像导体电流方向相反, 则原像导体 (PCB 轨线) 电压为:

$$V_1 = L_{P11} \frac{dI_1}{dt} - L_{P12} \frac{dI_2}{dt} - L_{P13} \frac{dI_3}{dt} + L_{P14} \frac{dI_4}{dt}$$

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 40 页 共66页	

$$V_2 = L_{P22} \frac{dI_2}{dt} - L_{P21} \frac{dI_1}{dt} - L_{P24} \frac{dI_4}{dt} + L_{P23} \frac{dI_3}{dt}$$

如果 $h \ll t$, 则由 (2) 式可得到 PCB 轨线与其镜像导体之间的互感为:

$$L_{P13} = L_{P24} = \frac{\mu_0 l}{2\pi} \left[\ln \frac{l}{h} - 1 + \frac{2h}{l} \right] \quad (4)$$

$$L_{P14} = L_{P23} = \frac{\mu_0 l}{2\pi} \left[\ln \frac{2l}{r} - 1 + \frac{r}{l} \right] \quad (5)$$

而 $\mu = \sqrt{d^2 + 4h^2}$, 因 $I_1 = I_2 = I_3 = I_4 = I$, 则轨线电感为:

$$L_{P1} = L_{P11} - L_{P12} - L_{P13} + L_{P14} \quad (6)$$

$$L_{P2} = L_{P22} - L_{P21} - L_{P24} + L_{P23} \quad (7)$$

而 $L_{P1} = L_{P2}$ 则由 (1), (2), (4), (5), (6) 加减可得 PCB 轨线电感为:

$$L_{P1} = L_{P2} = \frac{\mu_0 l}{2\pi} \left[\ln \frac{4d}{w} - \ln \frac{r}{2h} + \frac{r-d-2h}{l} \right]$$

如果 $h \ll d$, 则:

$$L_{P1} = L_{P2} = \frac{\mu_0 l}{2\pi} \left[\ln \frac{8h}{w} \right] \quad (8)$$

比较在未放置导体平面前 PCB 导体轨线电感 [(3) 式] 及放置导体平面之后 [(8) 式], 若 $8h \ll 4d$ (即 PCB 轨线间距远大于它们与导体平面间距), PCB 轨线电感将大大减小, 则地线噪声电压会因其电感的减小而降低。放置在 PCB 轨线下的导体平面称为镜像平面。

下图为与地回路连接的一根电缆及其作为一个非平衡偶极子天线的等效电路图:

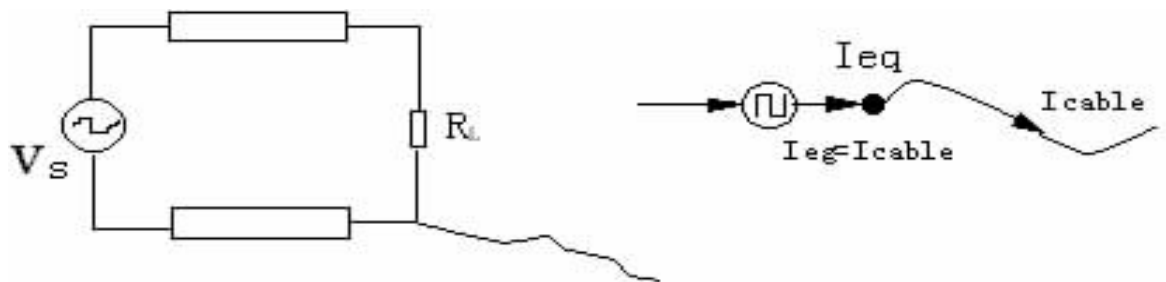


图 42 与地回路连接的一根电缆及其作为一个非平衡偶极子天线的等效电路图

若在 PCB 轨线下放置导电平面: 如图 43 (a) 所示, 则只减小 PCB 轨线的电感及噪声电压, 外接电缆上仍有电流流过, 如图 43 (b)。若将电缆与 PCB 轨线的连接点用导线与镜像平面连接图 43 (c), 则电路可等效为图 43 (d), 因镜像电流的作用而使电缆电流为零, 从而降低了电缆的辐射。

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 42 页 共66页	

di/dt ，因此会在传导干扰的测试中影响低频段的噪声幅度，另外整流桥臂还充当着强干扰信号的通路。

2) PFC 电感

PFC 电感是主要的磁场干扰源，尤其是环形绕制的 PFC 电感漏磁较大，相比变压器而言更容易将噪声信号耦合到输入输出线上，造成较大的电磁干扰。

3) 差模环形天线

从电路拓扑上不可避免地会形成以下几个环形天线：

C206、L204、开关管 Q201 形成差模环形天线

C210、D204、开关管 Q201 形成差模环形天线

由于这两个回路有较大的高频电流流过，因此会产生很强的电磁干扰，且此干扰信号会已传导和辐射两种形式传播。

4) 共模偶极子天线

理论上，与开关管 Q201、整流二极管 D204 两端连接的轨线都有可能形成共模偶极子天线。

4.3.2 PCB 布局的对策

减小差模环路的面积。

对于功率线只能铺设在一层的布局，应该尽量减小上述中的环路面积，在保证工作绝缘的情况下，是 PCB 来回走线尽量贴近走线，且禁止无谓的长距离布线。

采用双面板或多层板，电流进线和电流出线分别布在扳子不同层面上且投影尽量重叠，并且利用镜像理论在高噪声走线下的最近一层铺设面积不小于高噪声环路面积的覆铜层（可以不接地）。

如果有附加的噪声吸收回路，在 PCB 布局上，要使吸收元件和被吸收元件以及相应走

线形成的环路面积尽量小，同时吸收电路中的电容要选用频率特性好，且布线时保证最小的 ESL，这一点对吸收电容很重要。

主功率回路在布局上要尽量集中在一起，严格区分强干扰信号区域（主电路）和易受干扰区域（驱动、控制电路）。

PFC 电感是强磁场干扰源，如不能采用 E 型磁心绕制，则在走线上尽量避免在电感周

围存在空间布线，如不能避免，解决方法可以采用利用结构上屏蔽或采用 E 型磁心，并用铜带环绕，并接地。

容易形成偶极子天线的地方，一般都是高 dv/dt 噪声源的地方，例如开关管两端、整流

管两端等等，如能采用多层 PCB，则可以利用镜像理论在噪声源下一层 PCB 上大面积铺设导电平面。

4.4 单端正激电路

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 43 页 共66页	

单端正激电路由于成本低，高可靠性等优点，在我司的二次电源得到了非常广泛的运用（如：HM50、HM25、AVH、AVE 系列等）； 按输出主要分为：同步整流电路、肖特基整流电路。按变压器复位方式主要分为：绕组复位、RCD 复位、电容谐振复位；下面从其拓扑结构着手讨论它的 PCB 设计的 EMC 注意事项。

4.4.1 主电路拓扑图

4.4.1.1 输出为肖特基整流：（以 AVH30 电路为例、电容谐振复位）

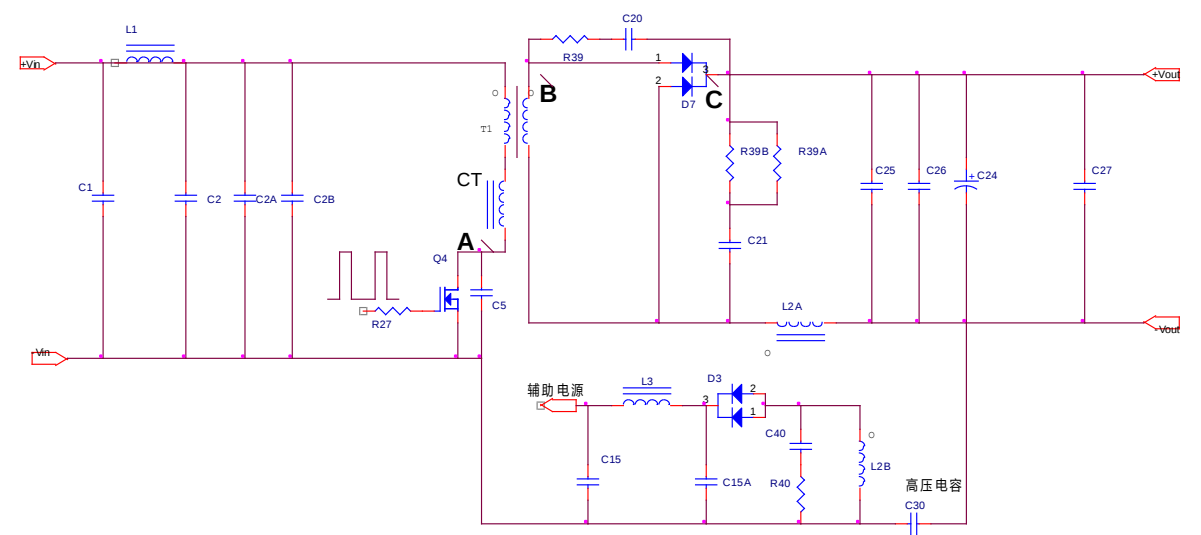


图 45 单端正激电路拓扑图

输入主回路的局部电路图如下：

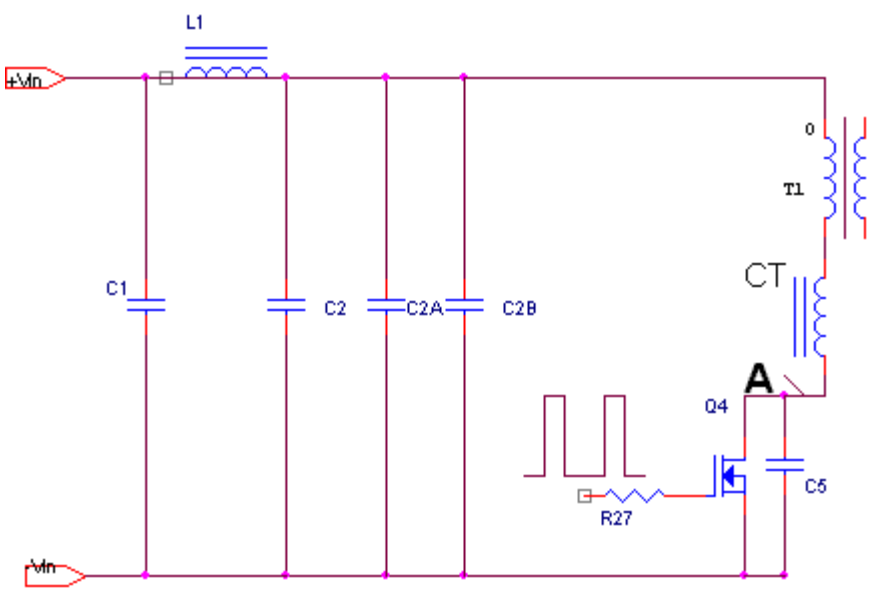


图 46 输入主回路的局部电路图

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 44 页 共66页	

输出整流回路的局部电路图如下:

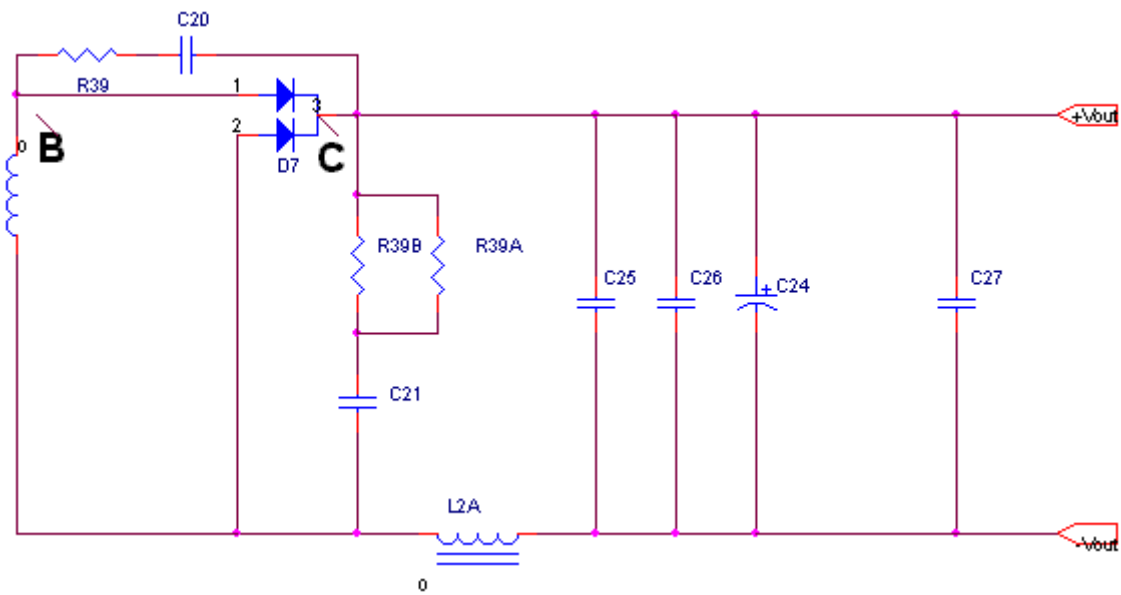


图 47 输出整流回路的局部电路图

这是一个 AVH30 系列 DC/DC 模块部分简化后的实际电路图。是一个典型的单端正激电路，采用电容谐振复位方式和输出肖特基整流方式；其工作原理在此不赘述。

对应上图中 A 点，实际工作时典型波形如下

(该波形占空比与驱动波形的占空比刚好相反):

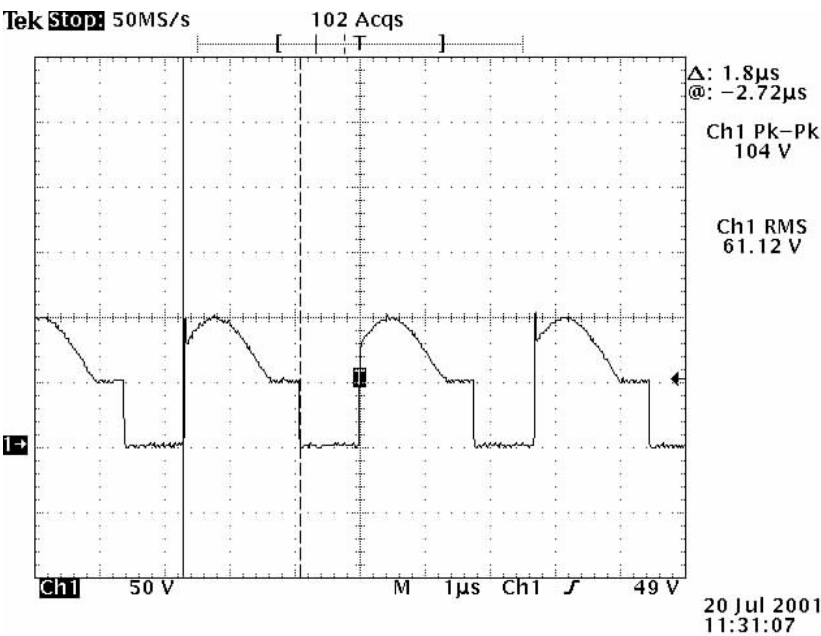


图 48 A 点实际工作时典型波形图

对应上图中 B 点实际工作波形图如下: (变压器副边两端, 其中正向电压部分对应的是 Q4 MOS 管开通时, 负向电压部分对应的是 Q4 MOS 管关断时)

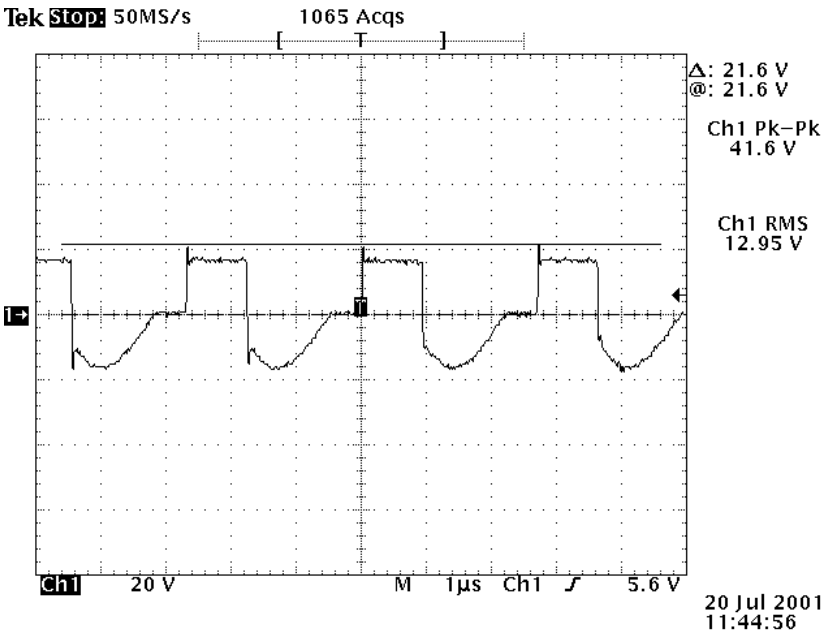


图 49 图中 B 点实际工作波形图

对应上图中 C 点实际工作波形图如下：

(D7 续流管的反向电压：与输入电压成比例关系)

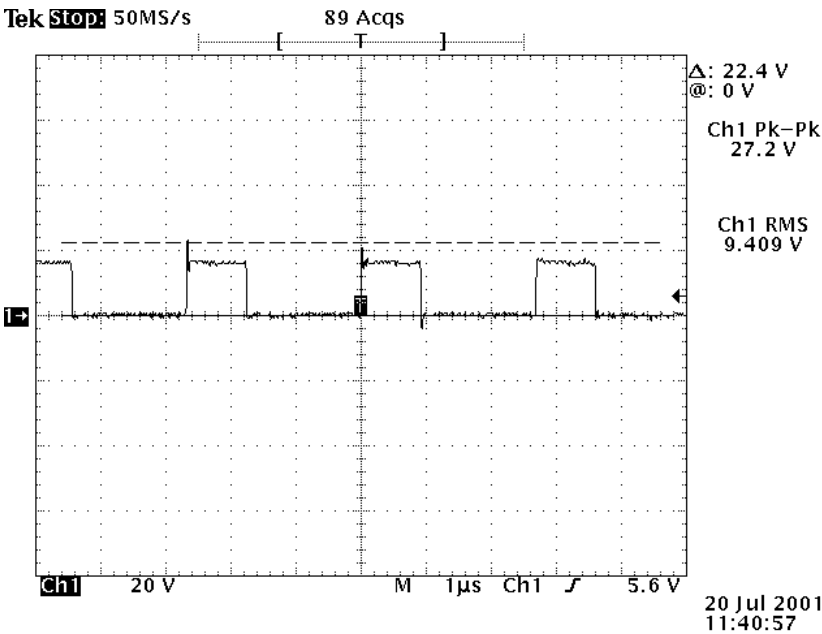


图 50 图中 C 点实际工作波形图

4. 4. 1. 2 输出为同步整流：（以 AVE50 电路为例、电容谐振复位）

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 46 页 共66页	

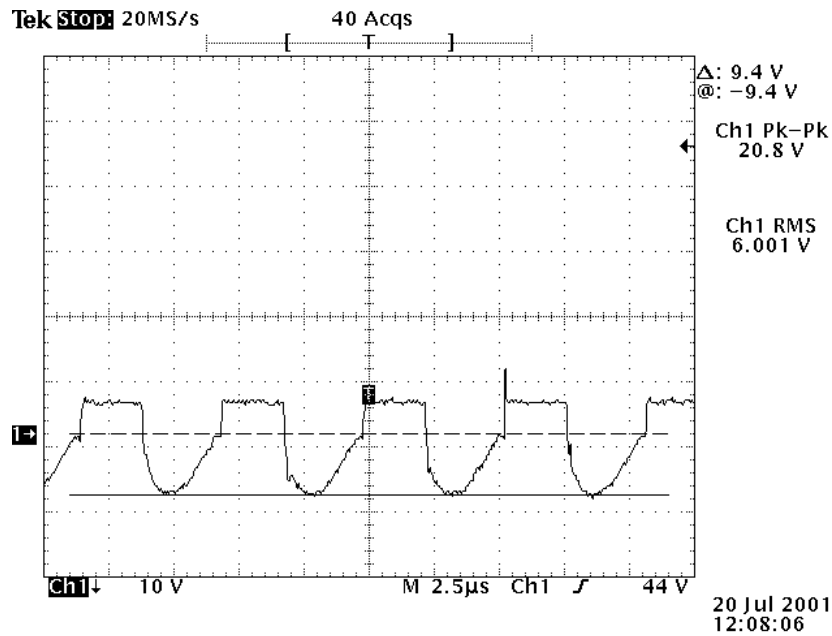


图 51 变压器副边两端的电压波形

主电路与 AVH30 的差别仅在于：用两个 MOS 器件代替了 D7（双二极管的肖特基）器件，变压器副边波形和两个 MOS 器件上的电压波形与 AVH30 基本一样。

变压器副边两端的电压波形如下：（AVE50-48S2V5 为例）

4.4.1.3 原边为 RCD 复位的电路图如下：（以 AV20 电路为例）

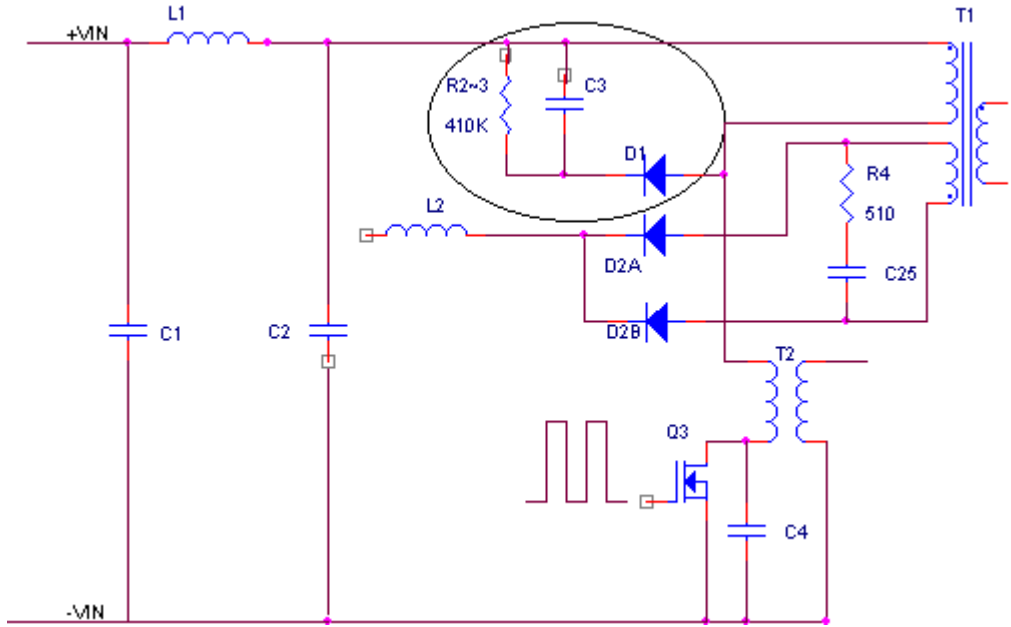


图 52 原边为 RCD 复位的电路图

4.4.2 噪声源的形成与 PCB 布局对策（以 AVH30 为例）

（1） C2（C2A、C2B）、T1（原边）、Q4 组成的高频开关电流环路具有显著的 di/dt ，由于开关电源

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 47 页 共66页	

的工作方式，使 Q4 管、变压器成为一个噪声源，此环路如同一个环行天线会向空间发射骚扰；减少该回路面积及尽量使回路布线均匀对称（可以减少线路分布电感）；则此骚扰沿该环行天线耦合出去的骚扰就越小！另外该骚扰也可能通过空间耦合到输入输出线使传导超标，或通过机箱泄露使辐射超标；如果 C2（C2A、C2B）对高频噪声滤波不充分，此环路中的高频骚扰会以差模的方式直接传导到输入线上，使输入传导超标；所以对 C2 滤波电容应选择高频特性较好的电容。

（2）由于变压器本身较大的感性负载（ L_p ）；使得开关频率工作产生回路电流 di/dt 的同时，也产生大的 du/dt ；此电压尖峰能直接进入输入输出端，使传导、辐射超标通过；解决措施是：加大开关管 Q4 的吸收（增加谐振电容 C4，同时要兼顾效率等），以减少电压 V_{DS} 的幅度和 du/dt 形成的回路共模电流，减缓驱动波形的上升与下降沿，消除上升或下降过程的无效振荡现象（以减少 di/dt ）；同时该吸收电容与 MOS 管形成的回路面积应尽可能的小；（对于 AV20 中的 RCD 吸收回路也应该尽量小）

（3）变压器副边、D7 中的整流管、L2A、C25（C26、C24）组成的输出整流回路也是工作在开关频率（其波形见前），存在和 1）相同的向空间发射骚扰的问题；虽然 L2A 上的电流连续且纹波较小，反激电路小的多，但整流管上的 di/dt 和 dv/dt 都很大，是强噪声源；解决措施是：减少该回路面积和加大整流管上的吸收（吸收回路尽量小，以免造成环行天线的强辐射）。

（4）D7 中的续流管、C25（C26、C24）、L2A 组成的输出续流回路，存在同上的问题，另外续流管的反向恢复电流折算到主变压器原边造成主开关管的电流尖峰，尖峰的持续时间为 D7 续流管的反向恢复阻断时间；解决措施是：减少该回路面积和加大整流管上的吸收，使 di/dt 和 dv/dt 减少。

（5）变压器原副边之间的分布电容，它也会被原副边的高频电压不断的充放电，成为一个电压噪声源，它直接驱动输入输出线形成共模骚扰发射。同时它还会将输出的噪声耦合到输入，将输入的噪声耦合到输出。解决措施是：在变压器加工时，尽量减少层间（特别是原、副边）的分布电容。

另外：为了耦合干扰，主功率回路的布线最好远离其他弱信号布线，不要和其他布线有近距离平行布线。为了能各个高频电流回路的磁通能够相互抵消，需要讲究合理的器件布局，使流经线路电流产生的辐射场由于方向相反而基本相互抵消。

4.5 单端反激电路

单端反激电路由于成本低，结构简单等优点，在我司的二次电源得到了一定的运用（如：AV10、AG15 系列）。

原理图如下：（AV10-48S5V2）

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 48 页 共66页	

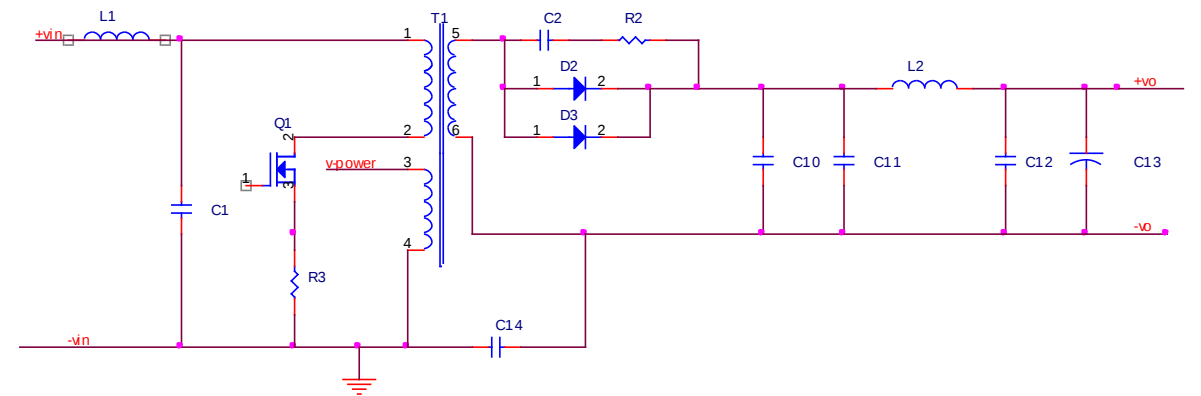


图 53 单端反激电路

单端反激电路在回路的控制方面与正激电路是相同的；这里不再赘述。

4.6 非隔离电路（正激）

非隔离电路由于成本低、体积小、应用方便等优点，在我司的二次电源得到了一定的运用（如：AVN20、AVN20-B、AVN40）。

AVN40 主功率电路图如下：

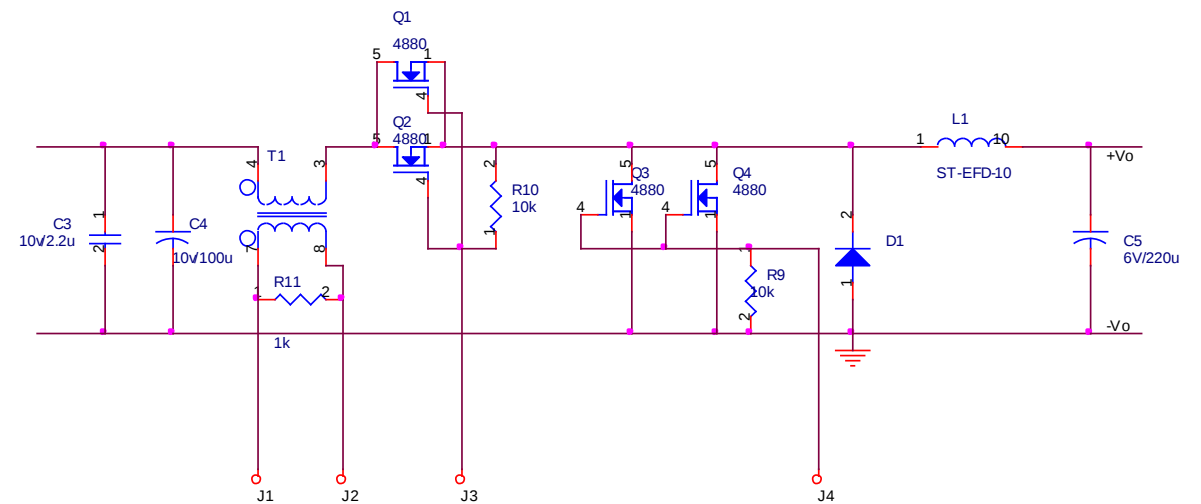


图 54 AVN40（非隔离电路）主功率电路图

非隔离电路在回路的控制方面与正激电路也是相同的（只是没有变压器）；这里不再赘述。

4.7 双正激电路

双正激电路由于其开关应力低、无桥臂直通危险等低成本、高可靠性的优点在公司工业电源中得到了广泛的运用。下面从其拓扑结构着手讨论它的 PCB 设计的 EMC 注意事项。

4.7.1 主电路拓扑图

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 49 页 共66页	

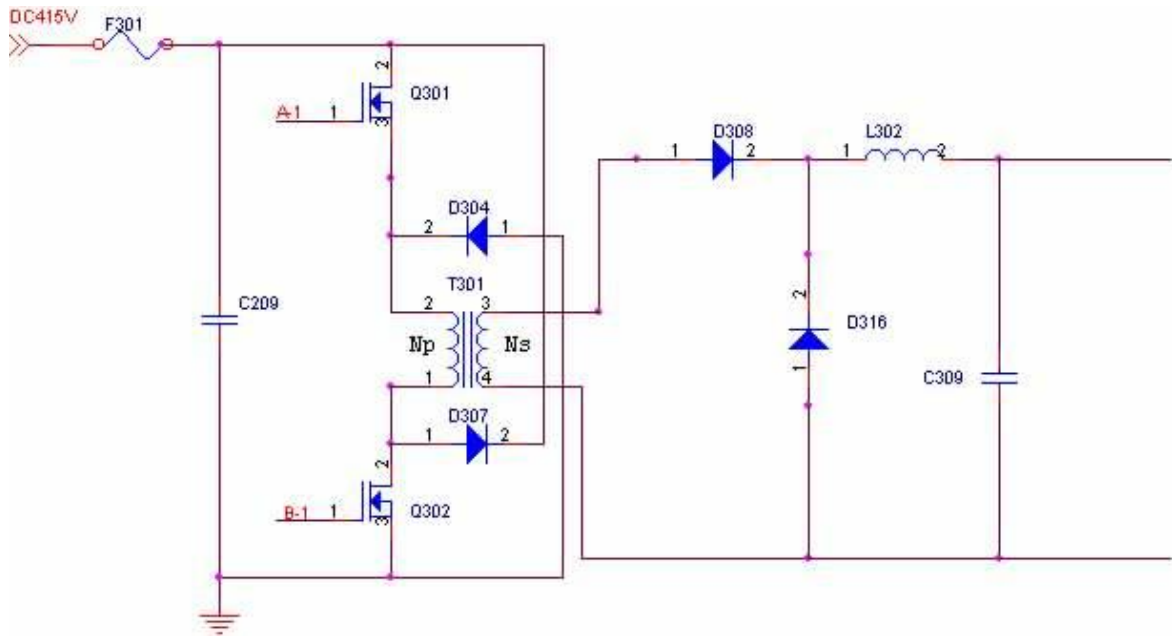


图 55 双正激电路拓扑图

这是一个新 25A 模块 DC/DC 部分简化后的实际电路图。是一个典型的双正激电路，采用二极管 D304、D307 做电压钳位及磁复位，其工作原理在此不在赘述。

4.7.2 噪声源的形成

C209、Q301、Np、Q302 组成的高频开关电流环路具有显著的 di/dt ，此环路如同一个环形天线会向空间发射骚扰，此骚扰可能通过空间耦合到输入输出线使传导超标，或通过机箱泄露使辐射超标。另外如果 C209 对高频噪声滤波不充分，此环路中的高频骚扰会以差模的方式直接传导到输入线上，使输入传导超标。

Ns、D308、L302、C309 组成的输出环路也是工作在开关频率，存在和 1) 相同的向空间发射骚扰的问题，虽然 L302 上的电流连续且纹波较反激电路小的多，但 D308 的 di/dt 和 dv/dt 都很大，是强噪声源。

L302、C309、D316 组成的输出续流回路，存在同上的问题，另外 D316 的反向恢复电流折算到主变压器原边造成主开关管的电流尖峰，尖峰的持续时间位 D316 的反向恢复阻断时间。

Q301、Q302 导通时的负载是 Np，是感性负载，开关管的 di/dt 会同时形成大的 dv/dt 尖峰，此电压尖峰可以直接进入输入输出端，使传导、辐射超标。

主开关管和散热器之间的分布电容通过开关管的 D 极被不断的充放电，形成高频电流，并且由于散热器接地为共模电流提供了通路，此高频电流立刻成为高频共模噪声发射源。

Np、Ns 之间的分布电容，它也会被原副边的高频电压不断的充放电，成为一个电压噪声源，它直接驱动输入输出线形成骚扰发射。同时它还会将输出的噪声耦合到输入，将输入的噪声耦合到输出。

变压器的漏感和线路的漏感。漏感的大小决定了功率（能量）从原边传递到副边的速度，漏感太大会导致不能传输功率。另外大的漏感也意味着可能形成高的 dv/dt 。

各个回路的相互耦合。各个回路由于电流的流动形成的磁场在空间相互耦合，将噪声在各个回路间

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 50 页 共66页	

传递。磁通的方向决定了它们耦合的程度。

4.7.3 PCB 布局的对策

下面所列出的条款主要是从 PCB 布局的方面去考虑对电磁干扰的抑制：

减小所有环路的面积，包括上述的 1)、2)、3) 环路，特别是 di/dt 、 dv/dt 大的环路。

合理放置元件，使同一环路中的元件尽量靠近。

采用双面板或多层板，电流进线和电流出线分别布在扳子不同层面上且投影尽量重叠。

C209 选用高频滤波特性好的电容，布局时尽量靠近 Q301 和 Q302。并且 C209 的引脚布线和管腿尽量短，即减小它的 ESR 和 ESL。

C309 的位置尽量靠近 L302，并同样要保证最短的管腿及布线。

Q301、Q302、D308、D316 要加吸收电路。吸收器件的位置要靠近它作用的那个管子，以保证吸收回路的面积最小。同时吸收电路中的电容要选用频率特性好，且布线时保证最小的 ESL，这一点对吸收电容很重要。

主功率回路的布线最好远离其他弱信号布线，不要和其他布线有近距离平行布线。

Di/dt 大的支路，如 Q301、Q302、D308、D316 的布线要短而粗，对称部分尽量靠近，以减小漏感。

合理的器件布局，使各个高频电流回路的磁通能够相互抵消，如下：

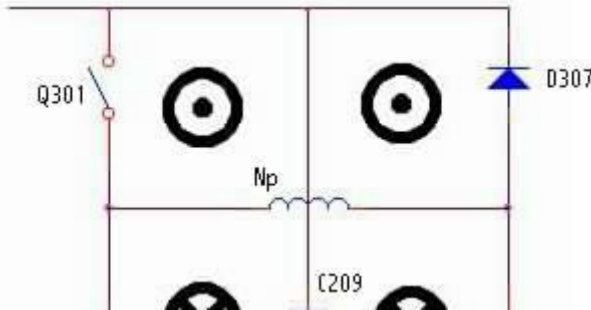


图 56 双正激电路器件原边布局

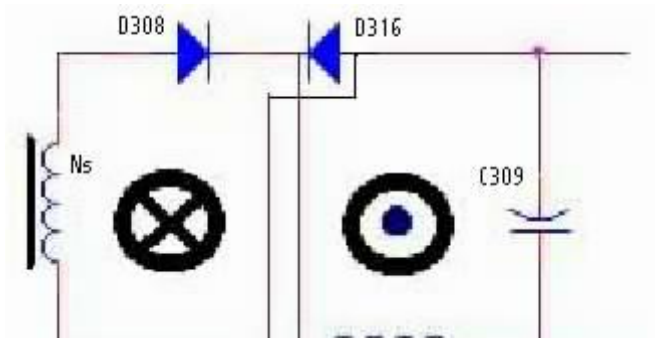


图 57 双正激电路器件副边布局

由于合理的位置摆放，四个区域内的磁通刚好两两抵消，这样可以减小各个回路之间的骚扰

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 51 页 共66页	

耦合。

4.8 全桥电路

在中、大功率的应用场合较多的采用了全桥变换器。例如公司的 30A、50A 电源模块采用的就是 ZVS 移相全桥控制电路。

4.8.1 主电路拓扑图

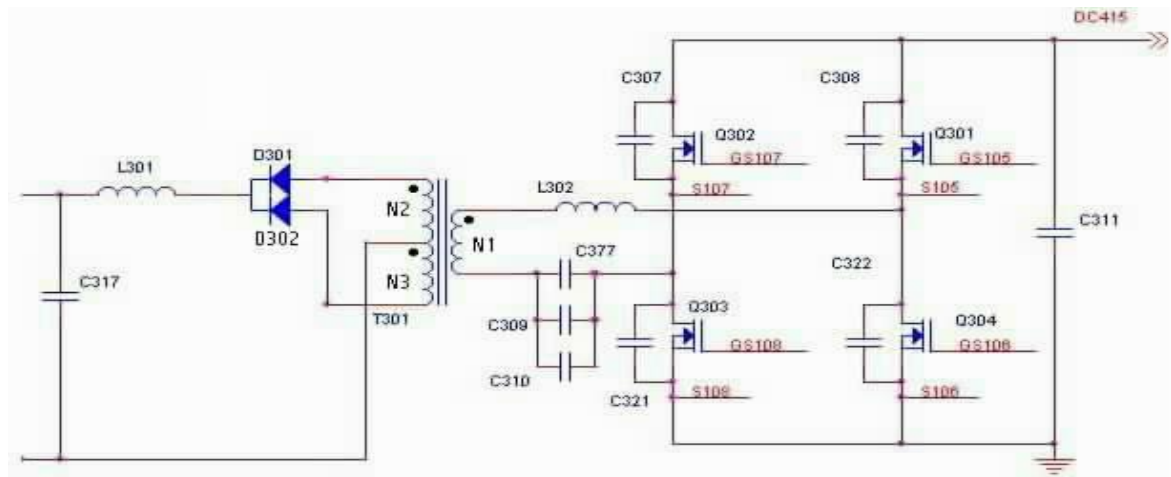


图 58 全桥电路主电路拓扑图

这是一个 50A 模块 DC/DC 部分简化后的实际电路图。是一个有 ZVS 的移相全桥电路，L302 为谐振电感、C377、C309、C310 为串联耦合电容，平衡开关管导通期间的伏秒值，改善变压器的偏磁性能。全桥变换器的工作原理在此不在赘述。

4.8.2 噪声源的形成

全桥变换器从结构上类似于两个交替工作的双正激变换器，只是 D301、D302 既作为整流管又作为续流管。类同于双正激电路的分析方法，我们可以找到有可能产生干扰的噪声源：

C311、Q301、N1、Q303 组成的高频开关电流环路类似于双正激的主开关管环路，同样具有显著的 di/dt ，此环路如同一个环行天线会向空间发射骚扰，此骚扰可能通过空间耦合到输入输出线使传导超标，或通过机箱泄露使辐射超标。另外如果 C311 对高频噪声滤波不充分，此环路中的高频骚扰会以差模的方式直接传导到输入线上，使输入传导超标。

C311、Q302、N1、Q304 情况同 1)。

N2、D301、L301、C317 和 N3、D302、L301、C317 组成的输出整流回路可以向空间发射骚扰的问题，虽然 L301 上的电流连续且纹波较反激电路小的多，但 D301 和 D302 上的 di/dt 和 dv/dt 都很大，是强噪声源。

在原边线圈电流过零的时候，副边整流二极管 D301、D302 同时导通和急剧换流的过程中，两管的 di/dt 都很大，形成很强的噪声源，通常 D301、D302 都要加吸收电路。

虽然图中所示的开关管为零电压开通，但两对桥臂的开关管导通时的负载都是 N1，是感性负载，开关管关断时的 di/dt 会形成大的 dv/dt 尖峰，此电压尖峰可以直接进入输入输出端，使传导、辐射

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 52 页 共66页	

超标。

主开关管和散热器之间的分布电容通过开关管的 D 极被不断的充放电，形成高频电流，并且由于散热器接地为共模电流提供了通路，此高频电流立刻成为高频共模噪声发射源。

N1 和 N2、N3 之间的分布电容，它也会被原副边的高频电压不断的充放电，成为一个电压噪声源，它直接驱动输入输出线形成骚扰发射。同时它还会将输出的噪声耦合到输入，将输入的噪声耦合到输出。

各个回路的相互耦合。各个回路由于电流的流动形成的磁场在空间相互耦合，将噪声在各个回路间传递。磁通的方向决定了它们耦合的程度。

4.8.3 PCB 布局的对策

下面所列出的条款主要是从 PCB 布局的方面去考虑对电磁干扰的抑制：

同双正激电路，减小所有高频电流回路的面积，包括上述的 1)、2)、3) 环路，特别是 di/dt 、 dv/dt 大的环路。

合理放置元件，使同一环路中的元件尽量靠近。

采用双面板或多层板，电流进线和电流出线分别布在板子不同层面上且投影尽量重叠。

C311 选用高频滤波特性好的电容，布局时尽量靠近 Q301~Q304。并且 C311 的引脚布线和管腿尽量短，即减小它的 ESR 和 ESL。

C317 的位置尽量靠近 L301，并同样要保证最短的管腿及布线。

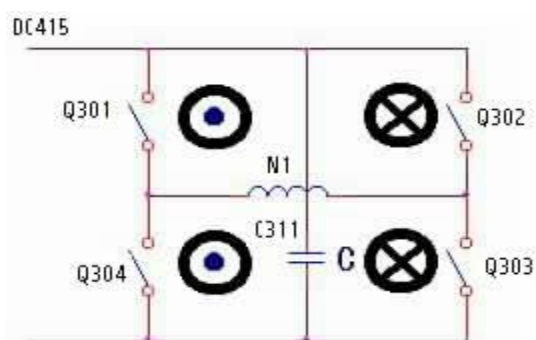
D301、D302 要加吸收电路。吸收器件的位置要靠近它作用的那个管子，以保证吸收回路的面积最小。同时吸收电路中的电容要选用频率特性好，且布线时保证最小的 ESL，这一点对吸收电容很重要。

主功率回路的布线最好远离其他弱信号布线，不要和其他布线有近距离平行布线。特别是主变压器 T301 和电感 L301 的位置要远离输入输出滤波器及敏感器件。

di/dt 大的支路，如 Q301~Q304、D301、D302 的布线要短而粗，对称部分尽量靠近，以减小漏感。

每个开关管的并联谐振电容要尽量靠近与之并联的开关管，并保证最短的管腿和布线。例如 C307 直接并在 Q302 的 D 极和 S 极的管腿上。

同双正激电路一样合理的器件布局，使各个高频电流回路的磁通能够相互抵消，如下：



PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 53 页 共66页	

图 59 全桥电路原边布局图

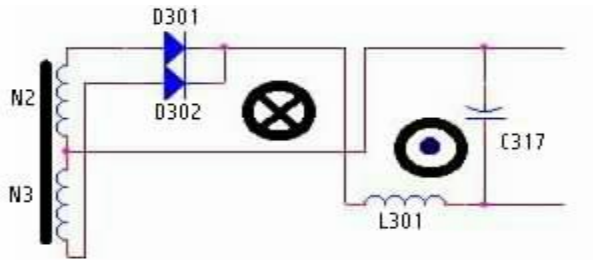


图 60 全桥电路副边布局图

4.9 半桥逆变电路

由于非隔离式逆变器共零线的要求，在高频链单进单出 UPS 系统中，普遍采用半桥式逆变电路。其特点是：半桥逆变电容与前级 PFC 电路的输出电容共用，逆变器输出的零线与 UPS 输入零线共用。我司的高频链单进单出 UH11 系列的 UPS 中的逆变电路均采用半桥式逆变电路。下面从其拓扑结构着手讨论它的 PCB 设计的 EMC 注意事项。

4.9.1 主电路拓扑图

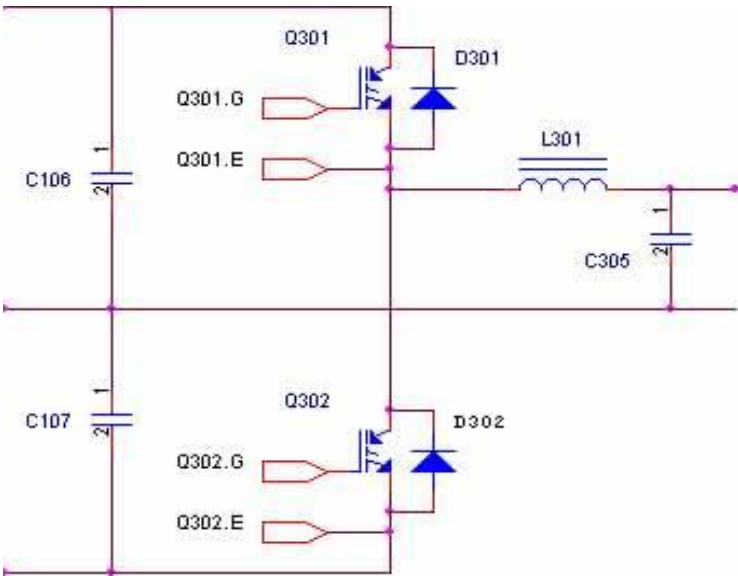


图 61：半桥逆变电路主电路拓扑图

这是 1KVA UPS 逆变部分简化后的实际电路图。是一个典型的半桥电路，二极管 D301、D302 是开关管 IGBT 的反并联二极管。Q301、Q302 工作在 SPWM 状态，其工作原理在此不在赘述。

4.9.2 噪声源的形成

SPWM 逆变电源的噪声主要形成于逆变回路中电流或电压的突变，突变的电流、电压又通过电、磁场等传播到其他级。

C106、Q301、L301、C305 组成的高频电流环路中突变的电流通过磁场耦合在输入、输出端产生共模噪声。另外，此环路除了向空间发射电磁干扰外，由于 Q301 高频脉冲电流在输入端形成的高频脉

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 54 页 共66页	

冲电压叠加在输入直流母线上，形成输入差模噪声。

Q302、L301、C305、C107 组成的负半周的环路存在和 1) 相同的电磁干扰问题。

逆变桥输出的高频 SPWM 开关信号通过电感 L301、电容 C305 滤波后变成所需的正弦波电压，但滤波电路在滤除噪声的同时也增加了基波的损失，所以滤波器参数不宜取大，因而在输出正弦波电压中仍残留了高频开关信号脉动成分，成为输出差模噪声的一部分，在正弦波变化幅度大处尤为明显。

由于线路电感、分布电容的存在，在开关管通断时不可避免地要产生高频衰减的振荡，即振铃响应。这一振铃直接影响到输出端，若不采取相应措施，其振幅远高于前述高频脉动电压幅值。

开关电路中突变的电压又可成为共模噪声源，通过各种分布电容的耦合在电源的输入、输出端形成共模噪声。例如图 40 电路中，由于开关管开关速度很高，桥臂的中点 A 是电路中电位变化最大之处(可大于 $1000V / \mu s$)，也是产生噪声最强的部位之一。变化如此大的高频信号通过 A 点及引线 with 机壳间的分布电容、及输入输出线与机壳间的分布电容，在输入电源线、输出线与地之间产生感应电压，成为输入和输出的共模噪声电压。当逆变电源与实际负载连接时，负载内部电路与地有着密切的联系，负载两端与地之间也存在分布电容，这些分布电容使共模噪声得以构成回路，使实际供电网络中的共模噪声往往要比用电阻、电感等模拟逆变器的负载时的噪声要大得多，而且不同的电子负载可能产生的共模噪声电平也不同。

Q301 和 Q302 的 di/dt 很大，由于感性的作用，会同时形成大的 dv/dt 尖峰，此电压尖峰可以直接进入输入输出端，使传导、辐射超标。

主开关管和散热器之间的分布电容通过开关管的 C 极被不断的充放电，形成高频电流，并且由于散热器接地为共模电流提供了通路，此高频电流立刻成为高频共模噪声发射源。

由于输入输出共零线，为输入端和输出端差模噪声的相互耦合提供了通路，所以合理的处理公共零线至关重要。

4.9.3 影响半桥逆变电磁噪声的其他因素

输入、输出线距离很近，导致输入侧的噪声耦合到输出线上，尤其是 PCB 布线时如果将逆变桥的输入输出线平行敷设时噪声耦合严重。

逆变桥输出线上的阻抗不对称时，引起的共模噪声电平不相等，两者之差就转变为输出差模噪声。

当逆变桥输入、输出侧共模滤波电路的接地线接至同一点时，就形成了地线环流，输入侧的共模噪声通过输出侧共模滤波电路的接地线，将共模噪声耦合到输出端，即使再加一级 EMI 滤波器也无效。

4.9.4 PCB 布局的对策

下面所列出的条款主要是从 PCB 布局的方面去考虑对电磁干扰的抑制

减小所有环路的面积，包括 2.3.2 中的 1)、2) 环路，特别是 di/dt 、 dv/dt 大的环路。

如采用双面板或多层板，电流进线和电流出线分别布在扳子不同层面上且投影尽量重叠。

C106、C107 选用高频滤波特性好的电容，布局时尽量靠近 Q301 和 Q302。并且电容的引脚布线和管腿尽量短，即减小它的 ESR 和 ESL。

C305 的位置尽量靠近 L301，并同样要保证最短的管腿及布线。

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 55 页 共66页	

Q301、Q302 要加吸收电路。吸收器件的位置要靠近它作用的那个管子，以保证吸收回路的面积最小。同时吸收电路中的电容要选用频率特性好，且布线时保证最小的 ESR 和 ESL，这一点对吸收电容很重要。

由于桥臂中点及其引线上的电压变化速率最大，应尽量缩短这一段导线布线，并使其与开关管的散热片都远离机壳，以减少噪声源与机壳之间分布电容。

布线时要避免输入输出电缆平行敷设。

di/dt 大的支路，如 Q301、Q302 的布线要短而粗，对称部分尽量靠近，以减小漏感。

合理的器件布局，使各个高频电流回路的磁通能够相互抵消，如下：

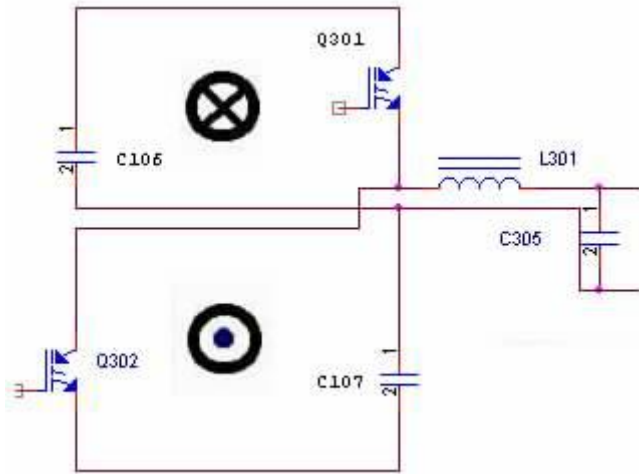


图 62 半桥逆变电路布局

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 56 页 共66页	

第五部分 电源 EMI 滤波器的 PCB 设计

5 电源 EMI 滤波器的 PCB 设计

5.1 概述

电源 EMI 滤波器的设计对于实现及改善电子设备和系统的电磁兼容性意义重大，它不但可降低设备产生的传导干扰，而且作为无源二端口网络具有互易性，可增强设备对电网侧的传导噪声，射频辐射干扰，高压噪声，快速瞬变电脉冲群等电磁干扰的抗扰度。正确设计 EMI 滤波器的 PCB 是充分发挥 EMI 滤波器性能的重要保证。

5.2 EMI 滤波器的基本结构

下图为 EMI 滤波器的基本结构：

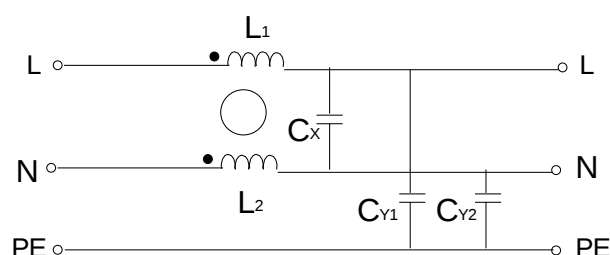


图 63 EMI 滤波器的基本结构

L_1 ， L_2 为绕制在同一铁芯上的共模电感，其匝数相等， C_{Y1} 、 C_{Y2} 为共模电容， L_1 与 C_{Y1} ， L_2 与 C_{Y2} 构成共模低通滤波器。

5.3 布局考虑

5.3.1 输入线与输出线的布置

在开关电源中，EMI 滤波器的输出接开关整流器，属污染源，输出线上的噪声通过电场耦合或磁场耦合到输入线，会使 EMI 滤波器的效果大大降低，为了减小影响，要求 EMI 滤波器的输入线与输出线间尽量隔离，不能邻近平行走线，以避免上述影响。见下图。

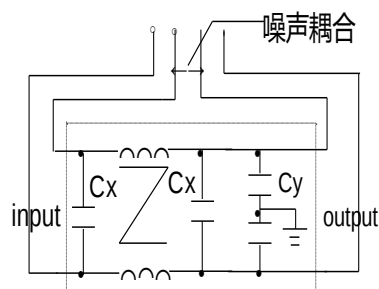


图 64 EMI 滤波器的输入线与输出线布置

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 57 页 共66页	

5.3.2 多级滤波器级联

多级滤波器级联时，级间距离尽量做到远些，避免级间电感互感耦合。多级滤波器布局的布局，根据这一原则，选择相应的排列方式，一般是按直线型排列，且相邻两个电感方向互相垂直较好。

5.3.3 EMI 滤波器的位置

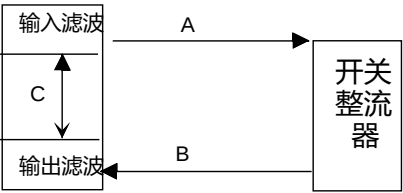


图 65 EMI 滤波器的位置

EMI 滤波器，一般布置在电源线入口处，远离开关管，输出整流管，变压器，输出电感等产生噪声的源头，使 EMI 滤波器有一个比较干净的工作环境。为此，在整体布局时，应将开关管，输出整流管，变压器等污染源布置在尽量远离输入输出端口处。已标准的前面输入输出电源模块为例，比较好的布局如下图所示，A，B，C 三处距离尽量远一些。

如果因为结构或其它方面的原因使滤波器与噪声源之间的距离不能缩得很短，则建议在将滤波器用金属罩或其它结构屏蔽起来，并将屏蔽可靠接地。

5.3.4 共模/差模电感的布置

在 EMI 滤波器中，共模电感会产生强烈的杂散磁场，这些杂散磁场容易干扰其它器件，因此滤波电容应尽量远离，尤其是电容引线较长时更是如此。其它敏感信号线也要避免从该区域穿过。共模（差模）电感是由线圈绕在磁芯上组成，电感上的线圈很容易拾取干扰，因此尤其要注意使电感远离开关管变压器等易于产生干扰的地方。下图 B 中输出滤波电感产生干扰输入共模电感，使 EMI 测试超标，在图 A 中，将共模电感移开，并转换摆放方向，EMI 下降明显。

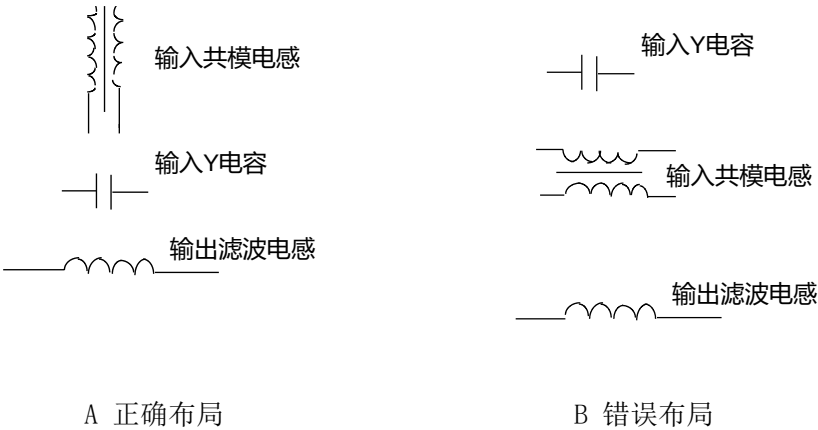


图 66 共模/差模电感的布置

5.3.5 三相 EMI 滤波器的线圈布置

三相 EMI 滤波器的线圈要靠近放置，会产生电流补偿效应。磁场泄漏会减少，插入损耗提高。

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 58 页 共66页	

5.3.6 电容的布置

1 Y 电容放置在靠近接地螺钉的位置，使 Y 电容和接地螺钉的走线最短，一般走线超过 3~4CM 则电容的效果将接近于零。Y 电容因为与机壳相连，所以布板时需要注意安规问题，必须按照有关规范执行。

5.4 布线考虑

通过认真仔细的布线，才能使 EMI 滤波器发挥出预期的功能，随意的走线将使滤波器的功能较少甚至消失，下面是布线时的一些需要注意的地方。

5.4.1 电容的引线最短

抑制差模噪声电容的印制导线较细时，应使电容的引线最短，见下图。



图 67 电容的引线最短

5.4.2 电容的引线开槽

抑制差模噪声电容的印制导线较宽时，在保证过电流的基础上应在电容焊盘处的铜皮上开一个近 1mm 小长槽，见下图。

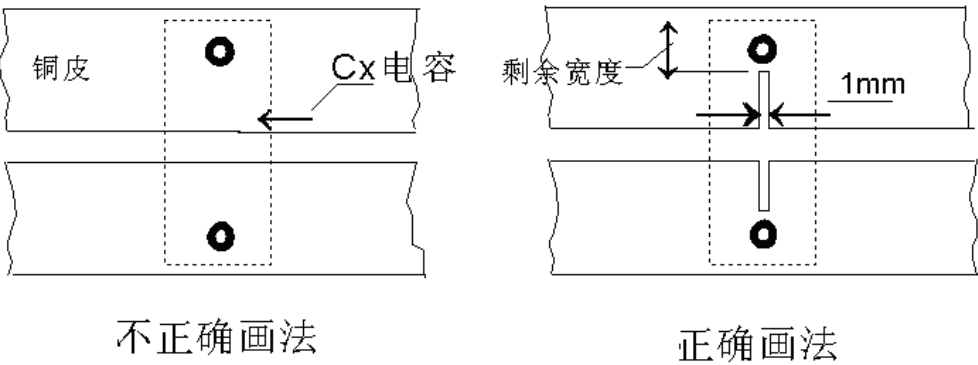


图 68 电容引线的开槽

5.4.3 接地线设计

抑制共模噪声电容的印制导线的画法，应使电容的引线最短，地线应尽量短且应适当加粗，见下图

PCB的EMC设计指南		
	版本：V2.0	密级：机密
	页码：第 59 页 共66页	

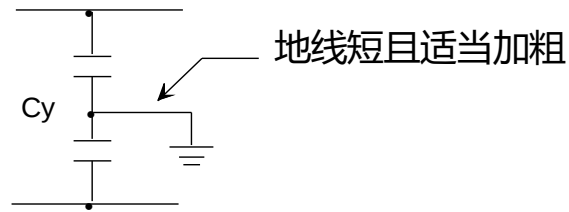


图 69 接地线设计

推荐的办法是在满足安规的前提下，对 EMI 滤波器部分进行大面积的铺地处理，所有走线由地平面所包围，然后将大面积地和机壳可靠相连。

5.4.4 接地螺钉孔设计

接地螺钉孔金属化,且焊盘尺寸要大于安装螺钉及垫片尺寸,保证 PCB 上接地的可靠性。

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 60 页 共66页	

第六部分 传输线

6.1 概述:

在数字电路 PCB 设计中, 当布线长度大于 20 分之一波长或信号延时超过 6 分之一信号上升沿时, PCB 布线可被视为传输线。传输线有两种类型: 微带线和带状线。与 EMC 设计有关的传输线特性包括: 特征阻抗、传输延迟、固有电容和固有电感。反射与串扰会影响信号质量, 同时从 EMC 的角度考虑, 也是 EMI 的主要来源。

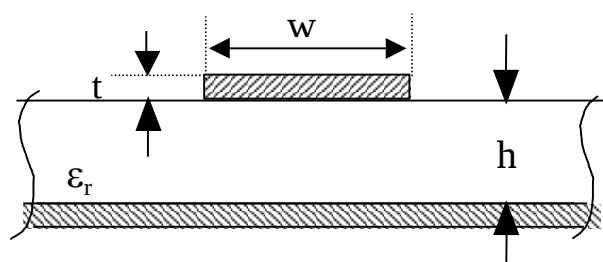
6.2 传输线模型

略。

6.3 传输线的种类

6.3.1 微带线 (microstrip)

定义: 与参考平面相邻的表层布线。



$$\text{特性阻抗} \quad Z_0 = \frac{87}{\sqrt{\epsilon_r + 1.41}} \ln \frac{5.98h}{0.8w + t} (\Omega)$$

$$\text{传输延迟} \quad t_{PD} = 85 \sqrt{0.475\epsilon_r + 0.67} (ps/inch)$$

$$\text{固有电容} \quad C_0 = 1000 \frac{t_{PD}}{Z_0} (pF/ft)$$

$$\text{固有电感} \quad L_0 = Z_0^2 C_0 (pH/ft)$$

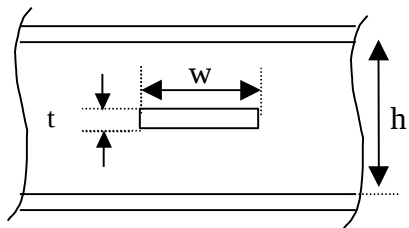
对于我们常用的 FR-4 介质材料, $\epsilon_r = 4.5$

$$\text{传输延迟} \quad TPD = 142.2 (ps/inch)$$

6.3.2 带状线 (Stripline)

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 61 页 共66页	

定义: 在两参考平面之间的 PCB 布线



特性阻抗 $Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \frac{4h}{0.67\pi w(0.8+t/w)} (\Omega)$

传输延迟 $t_{PD} = 1.017\sqrt{\epsilon_r} (ns/ft)$ 或 $85\sqrt{\epsilon_r} (ps/inch)$

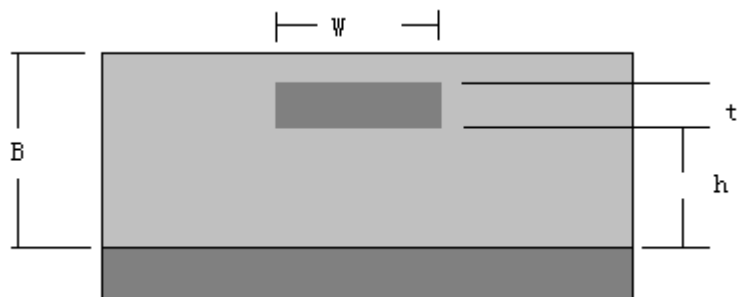
固有电容 $C_0 = 1000 \frac{t_{PD}}{Z_0} (pF/ft)$

固有电感 $L_0 = Z_0^2 C_0 (pH/ft)$

对于我们常用的 FR-4 介质材料, $\epsilon_r = 4.5$, 以上传输线延迟的公式可简化为:

传输延迟 $TPD = 180.3 (ps/inch)$

6.3.3 嵌入式微带线



特征阻抗

$$Z_0 [\Omega] = \frac{K}{\sqrt{0.805 \cdot \epsilon_r + 2}} \cdot \ln \left(\frac{5.98 h}{0.8 w + t} \right)$$

$$60 \leq K \leq 65$$

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 62 页 共66页	

K 与嵌入厚度有关, 随着嵌入厚度的增大而减小, 低于 15mils 时, K=65, 20mils 时, K=60。

或者用下面公式计算:

$$Z_0 [\Omega] = \frac{87}{\sqrt{\epsilon_r' + 1.41}} \cdot \ln \left(\frac{5.98h}{0.8w + t} \right)$$

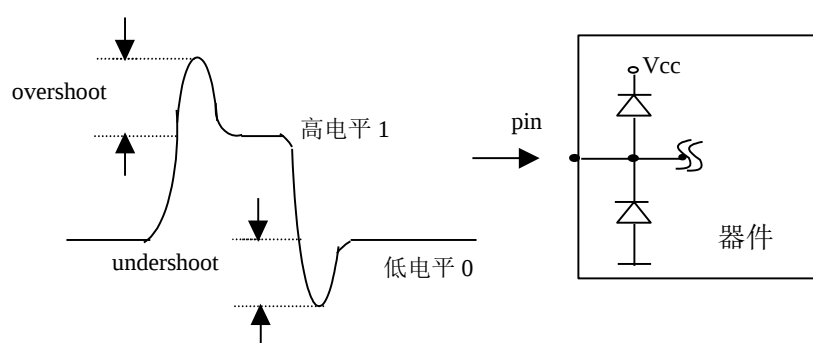
$$\epsilon_r' = \epsilon_r \left[1 - e^{\frac{-1.55B}{h}} \right]$$

传输延迟

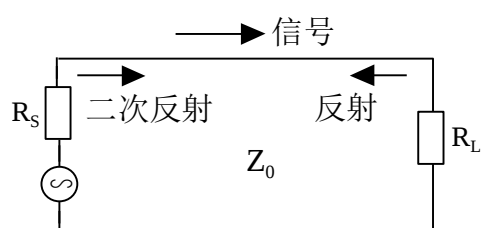
$$T_{pd} \approx 0.0339 \cdot \sqrt{0.475\epsilon_r + 0.67}, \text{ nS/cm}$$

6.4 传输线的反射

传输过程中的任何不均匀(如阻抗变化、直角拐角)都会引起信号的反射, 反射的结果对模拟信号(正弦波)是形成驻波, 对数字信号则表现为上升沿、下降沿的振铃和过冲。这种过冲一方面形成强烈的电磁干扰, 另一方面对后续输入电路的保护二极管造成损伤甚至失效。



一般而言, 过冲超过 0.7V 就应采取措施。在下面的图中, 信号源阻抗、负载阻抗是造成信号来回反射的原因。

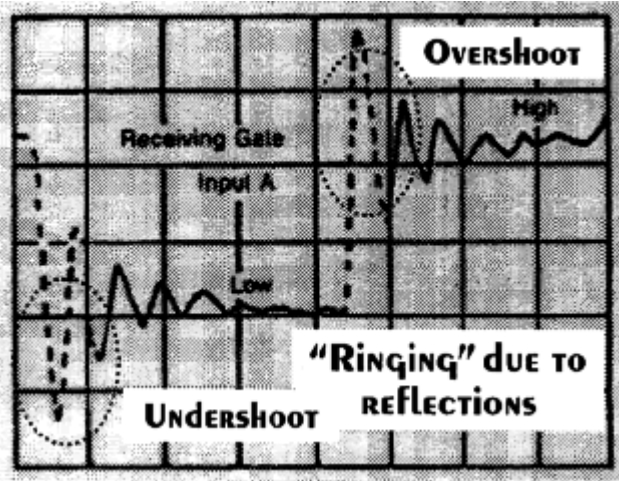
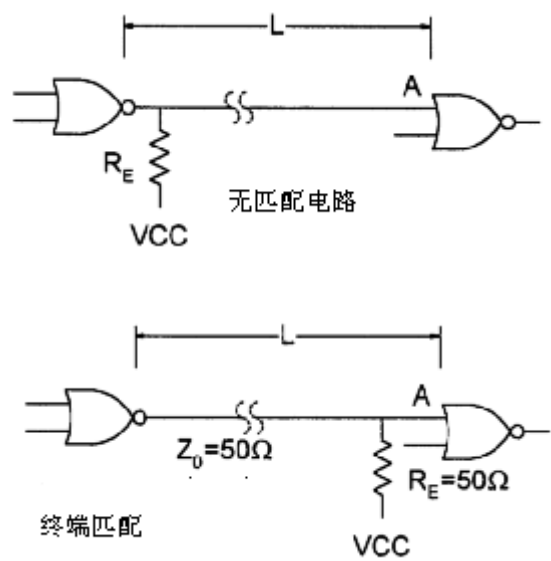


PCB的EMC设计指南		
	版本: V2.0	密级: 机密
		页码: 第 63 页 共66页

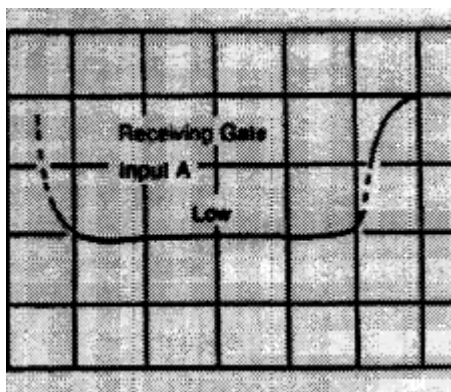
$$\rho_s = \frac{R_s - Z_0}{R_s + Z_0}$$

$$\rho_L = \frac{R_L - Z_0}{R_L + Z_0}$$

下面是有匹配电路和无匹配电路的对比：



PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 64 页 共66页	



由于反射而在信号的上升沿和下降沿引起上冲、下冲和振铃，这些过冲和振铃不仅影响信号的完整性，而且是主要的 EMI 发射源。

6.5 微带线与带状线的比较

Microstrip Topology

Definition

Outer trace layers on a PCB adjacent to a solid reference plane, separated by a dielectric material.

Advantages

- Allows for faster propagation of a signal down the transmission line
- Provides less capacitive coupling and lower unloaded propagation delay for the signal of interest

Disadvantages

- Allows RF energy within the transmission line to propagate into free space or the environment.

12

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
	页码: 第 65 页 共66页	

Stripline Topology

Definition
Routing layer located between two solid planes. A dielectric material separates the layers from the reference planes.

Advantages

- Provides better noise immunity for RF emissions.
- Slows the propagation of the signal within the transmission line (affects only extra high-speed circuits with critical signaling requirements).
- Capacitive coupling increases which affect signal integrity and impedance control.
- Provides complete shielding of RF energy generated from internal traces radiating to the external environment.

Disadvantages

- Creation of RF energy may still occur due to component pins and packaging material which are always located on the outer layers of the PCB assembly.

13

微带线与带状线的比较:

- 1, 微带线的传输延时比带状线低 (38 .1(ps/inch));
- 2, 在给定特征阻抗的情况下, 微带线的固有电容比带状线小;
- 3, 微带线位于表层, 直接对外辐射; 带状线位于内层, 有参考平面屏蔽;
- 4, 微带线可视, 便于调试; 带状线不可视, 调试不便;

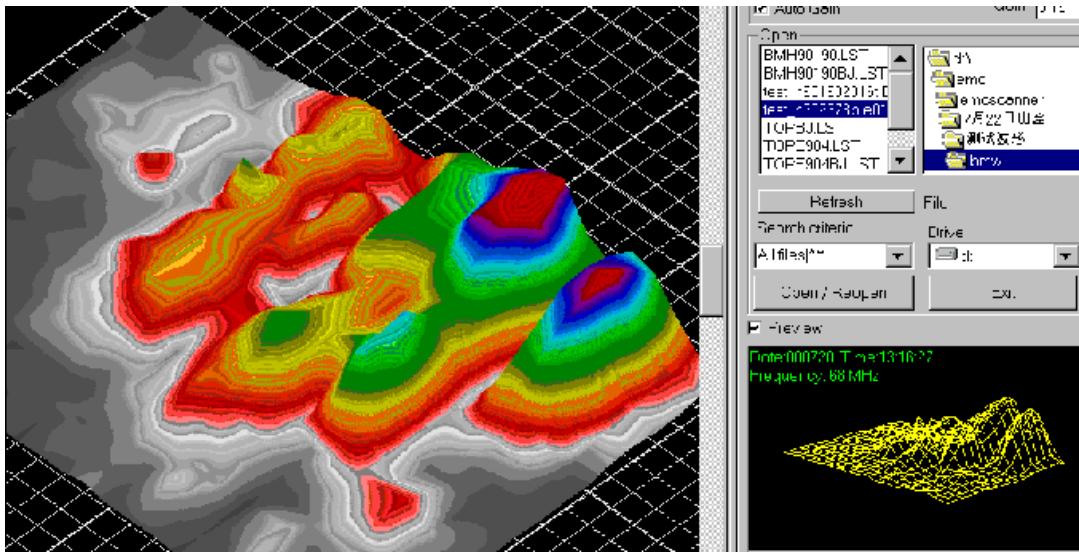
考虑到参考平面的屏蔽作用, 现有测试数据表明微带线的辐射比带状线大 20DB 左右。

我们知道, EMI 的对外传播途径主要有传导和辐射两种; 对于传输线而言, 这两种途径也同样存在;

对于带状线, 由于其夹在两平面之间, 其辐射途径得到较好的控制, 其主要对外传播途径为传导, 即我们需要重点考虑的是其供电过程中的电源、地的纹波以及与相邻走线之间的窜扰。

而对于微带线, 除具有带状线的传导途径外, 其自身对外的辐射对我们的 EMC 指标至关重要; 下面是某单板的近场场强测试结果。

PCB的EMC设计指南		
	版本: V2.0	密级: 机密
		页码: 第 66 页 共66页



从上图看，关键布线（其中有相当部分的是数据总线）的对外辐射指标比其他布线的辐射指标高出18dB左右。

从 EMC 的角度，我们需要对以下两种布线加以关注：

- 1，强辐射信号线（高频、高速，尤以时钟线为甚），对外辐射；
- 2，小、弱信号以及对外界干扰非常敏感的复位等信号，易受干扰；

对于这两类线，我们必须给予充分的关注，在情况允许的前提下，建议考虑内层布线；并扩大他们与其他布线的间距，甚至加屏蔽地线进行隔离；

注：一般而言，器件自身的辐射指标因素在器件设计过程中已考虑，我们假定器件自身已满足辐射指标（特殊器件会有其对应的屏蔽等解决措施），这里，我们主要考虑的是传输线的对外辐射。